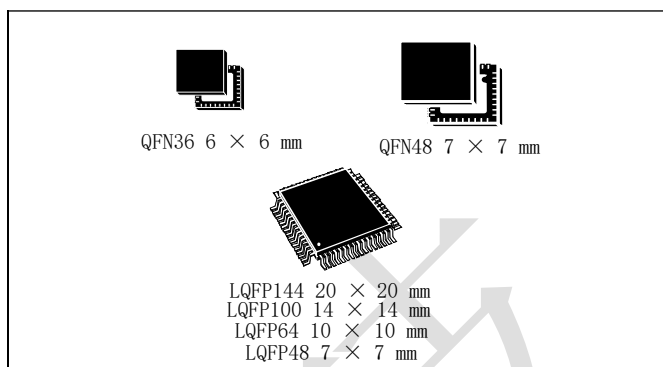


特征

- ARM[®] 32 位 Cortex-M3[®] 内核
 - 96MHz 最大频率
 - 1.34 DMIPS/MHz (Dhrystone 2.1) 性能在 0 等待状态内存访问
- 存储
 - 512KB 闪存
 - 多达 64KB SRAM
- 时钟、复位和电源管理
 - 2.0 至 5.5V 应用电源和 I/O
 - POR、PDR 和可编程电压检测器 (PVD)
 - 4 至 16MHz 晶体振荡器
 - 内部 8MHz RC
 - 内部 40KHz RC
 - 用于 CPU 时钟的锁相环
 - 32KHz 振荡器，用于带校准功能的 RTC
- 低功耗
 - 睡眠、停止和待机模式
 - 用于 RTC 和备份寄存器的 V_{BAT} 电源
- 3 个 12 位、1 μs A/D 转换器 (最多 21 个通道)
 - 转换范围: 0 至 5.5 V
 - 三重采样保持能力
 - 温度传感器
- 2 个 12 位 D/A 转换器
- DMA
 - 12 通道 DMA 控制器
 - 支持的外设: 定时器、ADC、SPI、I2C、DAC、SDIO、I2S 和 USART 等
- 多达 112 个快速 I/O 端口
 - 51/80/112 I/O, 全部可在 16 个外部中断向量上映射, 几乎所有 5V 容限



- 调试模式
 - 串行线调试 (SWD) 和 JTAG 接口
- 11 个计时器
 - 4 个 16 位定时器, 每个定时器具有多达 4 个 IC/OC/PWM 或脉冲计数器和正交 (增量) 编码器输入
 - 2 个 16 位电机控制 PWM 定时器, 带死区时间生成和紧急停止功能
 - 2 个看门狗定时器 (独立和窗口)
 - 24 位向下计数系统滴答定时器
 - 2 个 16 位基本定时器, 用于驱动 DAC
- 多达 13 个通信接口
 - 多达 2 个 I2C 接口 (SMBus/PMBus)
 - 多达 5 个 USART (ISO 7816 接口、LIN、IrDA、调制解调器控制)
 - 多达 3 个 SPI (18Mbit/s), 2 路 I2S 复用
 - CAN 接口 (2.0B 主动)
 - USB 2.0 全速接口
 - SDIO 接口
- CRC 计算单元, 96 位唯一 ID
- 灵活的静态存储控制器
 - 具有 4 片选。支持紧凑型闪存、SRAM、PSRAM、NOR 和 NAND 存储器
 - LCD 并行接口, 8080/6800 模式

特征	1
1 产品综述	5
1.1 产品简介	5
1.2 器件表	6
2 功能介绍	9
2.1 结构框图	9
2.2 嵌入式存储器	10
2.2.1 嵌入式 FLASH	10
2.2.2 嵌入式 SRAM	10
2.3 静态存储控制器 (FSMC)	10
2.4 CRC 校验模块	10
2.5 嵌套的向量式中断控制器 (NVIC)	10
2.6 外部中断/事件控制器 (EXTI)	10
2.7 复位	10
2.7.1 系统复位	10
2.7.2 电源复位	11
2.7.3 备份域复位	11
2.8 时钟	11
2.8.1 时钟源	11
2.8.2 时钟树	12
2.9 BOOT 模式	13
2.10 供电方案	13
2.11 电源监控器 (PVD)	13
2.12 温度传感器	13
2.13 低功耗模式	13
2.14 实时时钟 (RTC) 与后备寄存器 (BKP)	13
2.15 系统滴答定时器 (SysTick)	14
2.16 独立看门狗 (IWDG)	14
2.17 窗口看门狗 (WWDG)	14
2.18 高级定时器	14
2.19 通用定时器	14
2.20 基本定时器	15

2.21	DMA 控制器	15
2.22	通用输入/输出接口 (GPIO)	15
2.23	模数转换器 (ADC)	15
2.24	数模转换器 (DAC)	16
2.25	I2C 通信接口	16
2.26	SPI 通信接口	16
2.27	I2S 通信接口	16
2.28	USART 通信接口	16
2.29	SDIO 通信接口	16
2.30	CAN 通信接口	17
2.31	USB 通信接口	17
2.32	芯片标识码	17
2.33	调试支持	17
3	电气性能	18
3.1	极限工作参数	18
3.1.1	极限工作电压	18
3.1.2	极限工作电流	18
3.1.3	极限工作温度	18
3.2	额定工作参数	19
3.2.1	通用工作参数	19
3.2.2	上电与掉电时的工作参数	19
3.2.3	复位和电源控制模块特性	20
3.2.4	内部参考电压	20
3.2.5	供电电流特性	20
3.2.6	外部时钟源特性	24
3.2.7	内部时钟源特性	26
3.2.8	PLL 时钟特性	26
3.2.9	存储器特性	26
3.2.10	绝对最大额定值 (电灵敏度)	27
3.2.11	I/O 端口特性	27
3.2.12	NRST 特性	29
3.2.13	TIM 特性	30
3.2.14	I2C 接口特性	30

3.2.15	SPI-I2S 接口特性.....	32
3.2.16	SDIO 接口特性.....	36
3.2.17	USB 特性.....	37
3.2.18	ADC 电气特性.....	38
3.2.19	DAC 电气特性.....	41
3.2.20	温度传感器特性.....	41
4	引脚分布定义.....	42
4.1	LQFP144 引脚分布.....	42
4.2	LQFP100 引脚分布.....	43
4.3	LQFP64 引脚分布.....	44
4.4	LQFP48 引脚分布.....	45
4.5	QFN48 引脚分布.....	45
4.6	QFN36 引脚分布.....	46
4.7	引脚定义.....	47
5	封装尺寸.....	57
5.1	LQFP144 (20×20mm) 封装尺寸.....	57
5.2	LQFP100 (14×14mm) 封装尺寸.....	59
5.3	LQFP64 (10×10mm) 封装尺寸.....	61
5.4	LQFP48 (7×7mm) 封装尺寸.....	63
5.5	QFN48 (7×7mm) 封装尺寸.....	65
5.6	QFN36 (6×6mm) 封装尺寸.....	67
6	参考电路图.....	69
7	产品型号描述.....	70
8	修订历史.....	71
9	声明.....	72

1 产品综述

1.1 产品简介

LTM32F103 系列芯片使用高性能的 ARM® 32 位 Cortex-M3® RISC 内核，最高工作频率 96MHz；

LTM32F103 系列芯片内置大容量高速存储器：512KB 的 FLASH、64KB 的 SRAM；并且可以通过 FSMC 模块挂载最多 1GB 容量的 NOR/PSRAM/NAND/PC Card 外部存储器；

LTM32F103 系列芯片提供 V_{DD}/V_{BAT} 两种供电方案：正常工作情况下，由 V_{DD} 为片上外设及后备域模块提供电源，当 V_{DD} 掉电时，由 V_{BAT} 电池为后备域供电，以保证在 V_{DD} 掉电后 RTC 实时时钟能够继续运行，以及 84 字节的备份寄存器数据能够正常保存；

LTM32F103 系列芯片内置 CRC 模块用于验证数据传输或存储的一致性，提供了一种检测闪存存储器错误的手段；

LTM32F103 系列芯片内置了丰富的模拟电路：3 个 12 位的 ADC、2 个 12 位的 DAC、1 个温度传感器、1 个 1.8V 内部参考电压、1 个 POR/PDR 上下电复位电路以及一个 V_{BAT} 后备电源电阻分压器；

LTM32F103 系列芯片内置多达 11 个定时器：包括 2 个 16bit PWM 高级定时器(共 8 路 PWM 输出通道，其中 6 路带死区互补输出)、4 个 16bit PWM 通用定时器(共 16 路 PWM 输出通道)、2 个基本定时器，以及 1 个系统滴答定时器、1 个独立看门狗(IWDG)定时器和 1 个窗口看门狗(WWDG)定时器；

LTM32F103 系列芯片内置丰富的高级和标准的通信接口：包括 2 个 I2C 接口、3 个 SPI 接口(支持 I2S 协议)、1 个 SDIO 接口、5 个 USART 接口、1 个 CAN 接口和 1 个 USB 接口；

LTM32F103 系列芯片支持多种省电模式，使芯片能够满足各种低功耗应用的要求；

LTM32F103 系列芯片提供从 36 脚至 144 脚的多种不同封装形式。不同的封装形式，芯片中的外设配置也不相同；

LTM32F103 系列芯片上这些丰富的外设，使得本产品可以应用于多种应用场合，如：

- 电机驱动和应用控制
- 医疗设备
- 可编程控制器(PLC)
- 便携式手持设备
- PC 游戏外设
- GPS 平台
- 变频器、打印机和扫描仪
- 警报系统、视频对讲
- 暖气通风空调系统等
- 智能终端
- 物联网

1.2 器件表

表 2-1 高密度器件表

外设		LTM32F103Rx			LTM32F103Vx			LTM32F103Zx		
闪存(K 字节)		256	384	512	256	384	512	256	384	512
SRAM(K 字节)		48	64		48	64		48	64	
FSMC(静态存储控制器)		无			有			有		
定时器	通用	4 个(TIM2、TIM3、TIM4、TIM5)								
	高级控制	2 个(TIM1、TIM8)								
	基本	2 个(TIM6、TIM7)								
通信接口	SPI(I2S)	3 个(SPI1、SPI2、SPI3)，其中 SPI2 和 SPI3 可作为 I2S 通信								
	I2C	2 个(I2C1、I2C2)								
	USART/UART	5 个(USART1、USART2、USART3、UART4、UART5)								
	USB	1 个(USB 2.0 全速)								
	CAN	1 个(2.0B 主动)								
	SDIO	1 个								
GPIO 端口		51			80			112		
12 位 ADC 模块(通道数)		3(16)			3(16)			3(21)		
12 位 DAC 转换器(通道数)		2(2)								
CPU 频率		96MHz								
工作电压		2.0~5.5V								
工作温度		环境温度：-40℃~+85℃/-40℃~+105℃ 结温度：-40℃~+125℃								
封装形式		LQFP64			LQFP100			LQFP144		

表 2-2 中密度器件表

外设		LTM32F103Tx	LTM32F103Cx	LTM32F103Rx	LTM32F103Vx
闪存(K 字节)		64	64 128	64 128	64 128
SRAM(K 字节)		20	20	20	20
FSMC (静态存储控制器)		0	无	无	无
定时器	通用	3 个(TIM2、TIM3、TIM4)			
	高级控制	1 个(TIM1)			
	基本	无			
通信接口	SPI	2 个(SPI1、SPI2)			
	I2C	2 个(I2C1、I2C2)			
	USART/UART	3 个(USART1、USART2、USART3)			
	USB	1 个(USB 2.0 全速)			
	CAN	1 个(2.0B 主动)			
	SDIO	无			
GPIO 端口		21	37	51	80
12 位 ADC 模块(通道数)		2(10)	2(10)	2(16)	2(16)
12 位 DAC 转换器(通道数)		无			
CPU 频率		96MHz			
工作电压		2.0~5.5V			
工作温度		环境温度: -40℃~+85℃/-40℃~+105℃ 结温度: -40℃~+125℃			
封装形式		QFN36	LQFP48 QFN48	LQFP64	LQFP100

表 2-3 低密度器件表

外设		LTM32F103Tx	LTM32F103Cx	LTM32F103Rx
闪存(K 字节)		32	32	32
SRAM(K 字节)		10	10	10
FSMC(静态存储控制器)		无	无	无
定时器	通用	2 个(TIM2、TIM3)		
	高级控制	1 个(TIM1)		
	基本	无		
通信接口	SPI	1 个(SPI1)		
	I2C	1 个(I2C1)		
	USART	2 个(USART1)		
	USB	1 个(USB 2.0 全速)		
	CAN	1 个(2.0B 主动)		
	SDIO	无		
GPIO 端口		21	37	51
12 位 ADC 模块(通道数)		2(10)	2(10)	2(16)
12 位 DAC 转换器(通道数)		无		
CPU 频率		96MHz		
工作电压		2.0~5.5V		
工作温度		环境温度: -40°C~+85°C/-40°C~+105°C 结温度: -40°C~+125°C		
封装形式		QFN36	LQFP48 QFN48	LQFP64

2 功能介绍

2.1 结构框图

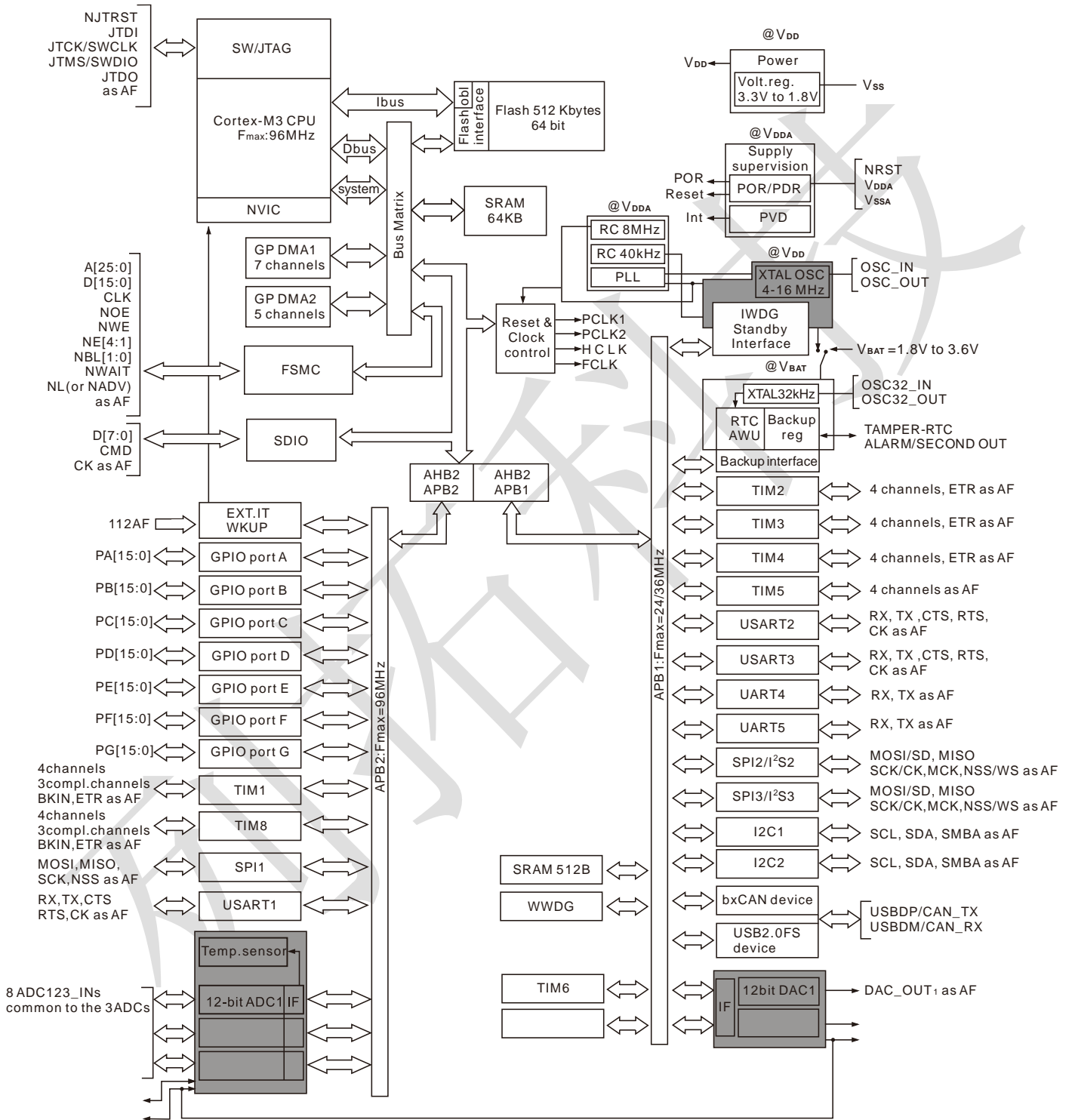


图 3-1 LTM32F103 系列芯片功能框图

2.2 嵌入式存储器

2.2.1 嵌入式 FLASH

高达 512K 字节的内置 FLASH，用于存放程序和数据。

2.2.2 嵌入式 SRAM

多达 64K 字节的内置 SRAM，CPU 能以 0 等待周期访问(读/写)。

2.3 静态存储控制器(FSMC)

LTM32F103 系列芯片集成了 FSMC 模块，FSMC 模块具有 4 个片选输出，支持 SRAM、PSRAM、NOR、NAND、PC 卡/CF 卡。

功能介绍：

写入 FIFO；

三个 FSMC 中断源，经过逻辑或连接到 NVIC 单元；

代码可以在除 NAND 闪存和 PC 卡外的片外存储器上运行；

目标频率 FCLK 为 HCLK/2，即外部访问时钟为系统时钟的一半。

FSMC 模块可以灵活地配置成 Intel 8080 和 Motorola 6800 模式，以实现与多数图形 LCD 控制器的无缝连接。

2.4 CRC 校验模块

芯片内部集成了一个独立的 CRC 硬件计算单元；

CRC 校验模块使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 校验码。

CRC 校验技术被用于验证数据传输与存储的一致性。

2.5 嵌套的向量式中断控制器(NVIC)

LTM32F103 系列芯片内置嵌套的向量式中断控制器(NVIC)，能够处理多达 60 个可屏蔽中断和 16 中断级别。

紧耦合的 NVIC 能够达到低延迟的中断响应处理；

中断向量入口地址直接进入内核；

允许中断的早期处理；

允许在中断中处理晚到的优先级更高的中断；

自动保存处理器状态；

中断返回时自动恢复，无需额外指令开销。

NVIC 模块以最小的中断延迟提供灵活地中断管理功能。

2.6 外部中断/事件控制器(EXTI)

外部中断/事件控制器(EXTI)包含 19 个边沿检测器，用于产生中断/事件请求；每个中断线都可以独立地配置它的触发事件(上升沿/下降沿/双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态，EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期；最多 112 个通用 I/O 口连接到 16 个外部中断线。

2.7 复位

LTM32F103 系列芯片支持三种复位方式：系统复位、电源复位、备份域复位。

2.7.1 系统复位

除了时钟控制器(RCC)的 RCC_CSR 寄存器中的复位标志位和备份区域中的寄存器外，系统复位将复位所有寄存器至它们的复位状态。

当发生下列事件时产生一个系统复位：

NRST 引脚上的低电平(外部复位)；

窗口看门狗计数终止(WWDG 复位)；

独立看门狗计数终止(IWDG 复位)；

软件复位(SW 复位)；

低功耗管理复位。

可以通过查看 RCC_CSR 控制状态寄存器中的复位标志位来识别复位事件来源。

表 3-1 系统复位

软件复位	通过将 Cortex-M3 [®] 中断应用和复位控制寄存器中的 SYSRESETREQ 位置“1”，可实现软件复位
低功耗管理复位	在进入待机模式时产生低功耗复位 通过将用户选择字节中的 nRST_STDBY 位置“1”将使能该复位。这时，执行进入待机模式时，系统将被复位
	在进入停止模式时产生低功耗复位 通过将用户选择字节中的 nRST_STOP 位置“1”将使能该复位。这时，执行进入停止模式时，系统将被复位

2.7.2 电源复位

电源复位将复位除了备份区域外的所有寄存器；复位源最终作用于 RESET 引脚，并在复位过程中保持低电平；复位入口矢量被固定在 0x0000 0004。

当发生下列事件时产生一个电源复位：

上电/掉电复位(POR/PDR)；

从待机模式中返回。

芯片内部的复位信号会在 NRST 引上输出，脉冲发生器保证每一个(外部或内部)复位源都能有至少 40μs 的脉冲延时；当 NRST 引脚被拉低产生外部复位时，它将产生复位脉冲。

2.7.3 备份域复位

备份域复位将会清除备份区域内的数据；备份区域拥有两个专门的复位，它们只影响备份区域。

当发生下列事件时产生一个备份域复位：

软件复位，设置备份域控制寄存器 RCC_BDCR 众多的 BDRST 位产生软件复位；

在 V_{DD} 和 V_{BAT} 掉电的前提下， V_{DD} 或 V_{BAT} 上电将引发备份域复位。

2.8 时钟

系统时钟的选择在启动时进行，复位时内部的 8MHz RC 振荡器默认被选为 CPU 时钟，随后可以选择外部的 HSE 时钟或 PLL 倍频后产生的时钟作为系统时钟。

2.8.1 时钟源

内置高速振荡器(HSI)：8MHz

外部高速振荡器(HSE)：4~16MHz

内置低速振荡器(LSI)：40KHz

外部低速振荡器(LSE)：32.768KHz

PLL 时钟：8~96MHz

OSC_IN 引脚输入的时钟：最高 25MHz 的 50%占空比的 PWM 波

OSC32_IN 引脚输入的时钟：32.768KHz 的 50%占空比的 PWM 波

当时钟不被使用时，任一时钟源都可被独立的启动或关闭，由此来优化系统的功耗。

2.8.2 时钟树

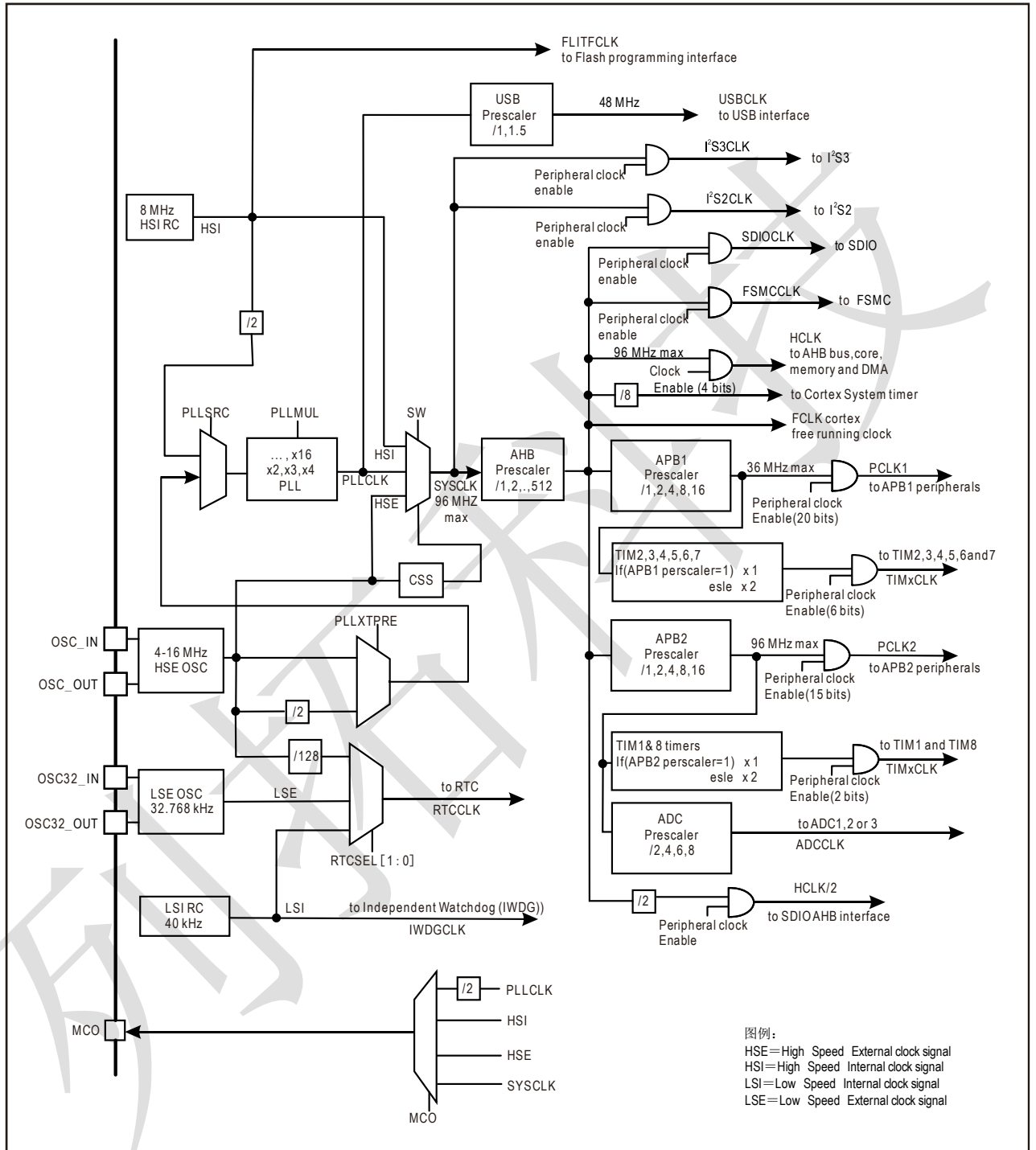


图 3-2 LTM32F103 系列芯片时钟树

2.9 BOOT 模式

在启动时，通过 boot[1:0] 引脚的配置可以选择下列三种启动模式中的一种：

从内部闪存存储器中启动；

从系统存储器中启动；

从内部 SRAM 中启动。

启动加载程序 (Bootloader) 存放在系统存储器中，可通过 USART1 对闪存存储器重新编程。

2.10 供电方案

$V_{DD} = 2.0 \sim 5.5V$ ： V_{DD} 引脚为 I/O 引脚和内部调压器供电。

$V_{SSA}, V_{DDA} = 2.0 \sim 5.5V$ ：为 ADC、复位模块、RC 振荡器和 PLL 模拟部分提供供电；使用 ADC 时， V_{DDA} 不得小于 2.4V； V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。

$V_{BAT} = 2.0 \sim 5.5V$ ：当关闭 V_{DD} 时， V_{BAT} 为 RTC、LSE、后备寄存器供电。

2.11 电源监控器 (PVD)

LTM32F103 系列芯片内部集成了上电复位 (POR)/掉电复位 (PDR) 电路，该电路始终处于工作状态，以保证系统工作在 2.0V 以上；当 V_{DD} 低于 POR/PDR 阈值时，自动复位器件而不必使用外部复位电路。

LTM32F103 系列芯片还集成了一个可编程的电压检测器 (PVD)，它监控 V_{DD} 供电并与阈值 V_{PVD} 进行比较，当 V_{DD} 上电至高于 V_{PVD} 阈值或掉电至低于 V_{PVD} 阈值时产生中断，在中断中，用户可以快速保存数据以防止掉电引起的数据丢失。

2.12 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2V < V_{DDA} < 5.5V$ 之间。温度传感器在内部被连接到 ADC1_IN16 的输入通道上，用于将传感器的输出转换到数字数值。

2.13 低功耗模式

LTM32F103 系列芯片支持三种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式

在睡眠模式下，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

停机模式可以在保持 SRAM 和寄存器内容不丢失的情况下，达到最低的电能消耗；在停机模式下，停止所有内部 1.8V 部分的供电，PLL、HSI 的 RC 振荡器和 HSE 外部晶体振荡器被关闭，调压器可以被置为普通模式或低功耗模式；可以通过任意外部中断/事件将 MCU 从停机模式唤醒。

待机模式

在待机模式下可以达到最低的电能消耗；在待机模式下，内部的电压调节器被关闭，所有 1.8V 部分的供电被切断，PLL、HSI 的 RC 振荡器和 HSE 外部晶体振荡器也被关闭；进入待机模式，SRAM 和寄存器上的数据不会被保存，但后备寄存器的数值仍会保留，待机电路仍工作。

从待机模式退出的条件：NRST 引脚上的外部复位信号、IWDG 复位、WKUP 引脚上的上升沿信号或 RTC 的闹钟事件的上升沿信号。

2.14 实时时钟 (RTC) 与后备寄存器 (BKP)

实时时钟 (RTC) 和后备寄存器 (BKP) 通过一个开关选择 V_{DD} 或 V_{BAT} 供电，在 V_{DD} 有效时选择 V_{DD} 供电，否则由 V_{BAT} 供电；后备寄存器 (42 个 16 位的寄存器) 可以用于在 V_{DD} 掉电时，由 V_{BAT} 供电保存 84 个字节的用户应用数据；实时时钟 (RTC) 和后备寄存器 (BKP) 不会被系统复位或电源复位，当从待机模式唤醒时也不会被复位。

实时时钟 (RTC) 具有一组连续运行的计数器，可以通过软件配置使其提供日历功能，且它还具有闹钟中端和阶段性中断功能。

实时时钟 (RTC) 的驱动始终可由下列时钟提供：LSE 低速外部晶体振荡器、LSI 低速内部 RC 振荡器、HSE 经 128 分频后产生的时钟；RTC 可将驱动时钟经 64 分频后输出到外部引脚，判断 RTC 驱动时钟的精度从而进行校准；使用 32.768KHz 的驱动时钟，通过分频可输出 1 秒时长的时间基准。

2.15 系统滴答定时器 (SysTick)

这个定时器专用于操作系统，但也可以当成一个标准的递减计数器。它具有以下特性：

24 位的递减计数器；

自动重加载功能；

计数器递减到 0 时产生一个可屏蔽中断；

可编程的时钟源。

2.16 独立看门狗 (IWDG)

独立看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，独立看门狗由内部 40KHz 的低速 RC 振荡器提供时钟，此时钟独立于主时钟，所以独立看门狗可运行于停机或待机模式；独立看门狗可在系统发生问题时复位整个系统，或者作为一个自由定时器为程序提供超时管理；通过选项字节可以配置成由软件或硬件启动看门狗；在调试模式下，看门狗计数器可以被冻结。

2.17 窗口看门狗 (WWDG)

窗口看门狗基于一个 7 位的递减计数器和一个 2 位的预分频器，可以设置成自由运行；窗口看门狗由精度较高主时钟驱动，因此常被用来监控，由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障，发生故障时窗口看门狗复位整个系统；在调试模式下，计数器可以被冻结。

2.18 高级定时器

LTM32F103 系列芯片内置两个高级定时器 (TIM1 和 TIM8)，高级定时器由一个 16 位的自动装载计数器组成，它可由一个可编程的预分频器驱动；高级定时器可被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出；高级定时器也可被当成完整的通用定时器；

高级定时器的四个独立通道可以用于：

输入捕获

输出比较

单脉冲输出

产生 PWM (边缘或中心对齐模式)

配置为 16 位标准定时器时，它与通用定时器具有相同的功能，配置为 16 位 PWM 发生器时，它具有全调制功能 (0~100%)；在调试模式下，计数器可以被冻结；高级定时器的很多功能与通用定时器相同，内部结构也相同，因此高级定时器可以通过定时器链接功能与其他定时器进行协同操作，提供同步或事件链接功能。

2.19 通用定时器

LTM32F103 系列芯片内置了四个通用定时器 (TIM2、TIM3、TIM4 和 TIM5)；每个通用定时器都有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 条独立的通道，每条通道都可用于输入捕

获、输出比较、PWM 和单脉冲模式输出，在最大的封装配置中可提供最多 16 个输入捕获、输出比较或 PWM 通道。

通用定时器还能通过定时器链接功能与其他定时器共同工作，提供同步或事件链接功能；在调试模式下，计数器可以被冻结；任意一个通用定时器都能用于产生 PWM 输出信号；每个定时器都有独立的 DMA 请求机制。

这些通用定时器还可以处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

2.20 基本定时器

LTM32F103 系列芯片内置了两个基本定时器(TIM6 和 TIM7)；这两个基本定时器主要是用于产生 DAC 触发信号；同时，它们也可以作为通用的 16 位时基计数器。

2.21 DMA 控制器

LTM32F103 系列芯片内置两个 DMA 控制器，共 12 路通用 DMA(DMA1 上有 7 个通道，DMA2 上有 5 个通道)；灵活的 12 路通用 DMA 可以管理存储器到存储器、存储器到外设、外设到存储器的数据传输；2 个 DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个 DMA 通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件进行单独设置。

DMA 可以用于主要的外设：SPI、I2C、USART、定时器 TIMx(高级、通用、基本定时器)、I2S、SDIO、DAC 和 ADC。

2.22 通用输入/输出接口(GPIO)

LTM32F103 系列芯片内置了丰富的通用输入输出接口(GPIO)，在最大的封装配置中可提供最多 112 个 GPIO 接口；这些 GPIO 接口可以有软件配置成输出(推挽或开漏)、输入(模拟、浮空、上/下拉)或者复用的外设功能端口；

大多数 GPIO 引脚都与数字或模拟的复用外设共用，这样可以在最少的引脚封装上搭载更多的片上外设。

除了具有模拟输入功能的端口，其余所有的 GPIO 引脚都有着通过大电流的能力，大部分 GPIO 引脚具有容忍 5V 电压的能力。

GPIO 引脚的外设功能可以通过一个特定的操作锁定；在需要的情况下，通过软件配置将相应 GPIO 引脚进行锁定，以避免 GPIO 寄存器被意外地写入。

2.23 模数转换器(ADC)

LTM32F103 系列芯片内置了三个 12 位的模拟至数字转换器(ADC)，每个 ADC 共用多达 21 条外部通道，可以实现单次或扫描转换；在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC 接口上的其他逻辑功能有：

同步的采样与保持

交叉的采样与保持

单次采样

ADC 可以使用 DMA 功能传输数据。

ADC 的模拟看门狗功能允许非常精准地监视选中的通道，当被监视的信号超出预置的阈值时，将会产生中断。

由定时器(TIM1/8, TIM2/3/4/5)产生的事件，可以分别内部级联到 ADC 的规则触发和注入触发，应用程序能使 AD 转换与时钟同步。

2.24 数模转换器 (DAC)

LTM32F103 系列芯片内置了两个 12 位的数字至模拟转换器 (DAC)，共两条 12 位带缓冲的 DAC 通道；它们可以用于转换 2 路数字信号成为模拟电压信号并输出，这项功能在内部是通过集成的电阻和反向放大器实现的。

DAC 支持下列功能：

8 位或 12 位单调输出；

12 位模式下的左右数据对齐；

同步更新功能；

产生噪音波；

产生三角波；

双 DAC 通道独立或同步转换；

每个通道都可使用 DMA 功能；

外部触发转换。

DAC 通道可以由定时器的更新输出触发，更新输出也可以连接到不同的 DMA 通道。

2.25 I2C 通信接口

LTM32F103 系列芯片中，内置了 2 个 I2C 通信接口，能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址；I2C 内置了 CRC 校验模块。

两个 I2C 通信接口都可以使用 DMA 操作，且都支持 SMBus 总线 2.0/PMBus 总线协议。

2.26 SPI 通信接口

LTM32F103 系列芯片中，内置了 3 个 SPI 通信接口，在主或从模式下，全双工和半双工的通信速率可达 18 兆位/秒；3 位的预分频器可产生 8 种主模式频率，可配置为每帧 8bit 传输或每帧 16bit 传输；硬件的 CRC 生成/校验支持基本的 SD 卡和 MMC 模式。

所有 SPI 通信接口都可以使用 DMA 传输数据。

2.27 I2S 通信接口

LTM32F103 系列芯片中，2 个标准的 I2S 接口可由 SPI (SPI2、SPI3) 复用而来，它们可以工作于主或从模式，且可以配置成 16 位或 32 位传输，也可以配置成输入或输出通道，支持的音频采样频率为 8MHz~48MHz。

当任意 I2S 接口配置为主模式，它的主时钟能以 256 倍采样频率输出给外部的 DAC 或 CODEC(解码器)。

2.28 USART 通信接口

LTM32F103 系列芯片内置了三个通用同步/异步收发器 (USART1、USART2、USART3) 和两个通用异步收发器 (UART4、UART5)；这 5 个接口提供异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从模式。

USART1 接口的通信速率可达 4.5 兆位/秒，其他 4 个接口的通信速率可达 2.25 兆位/秒。

USART1、USART2、USART3 接口具有硬件的 CTS 和 RTS 信号管理、兼容 ISO7816 的智能卡模式和类 SPI 通信模式，除了 UART5 之外的其他 4 个接口都可以使用 DMA 进行数据传输。

2.29 SDIO 通信接口

LTM32F103 系列芯片内置一个 SDIO 通信接口。

SD/SDIO/MMC 主机接口可以支持 MMC 卡系统规范 4.2 版中的 3 个不同数据总线模式：1 位(默认)、4 位、8 位；在 8 位模式下，该接口可以使数据传输速率达到 48MHz，该接口兼容 SD 存储卡规范 2.0 版。SDIO 存储卡规范 2.0 版支持两种数据总线模式：1 位(默认)和 4 位。

当前芯片版本只能一次支持一个 SD/SDIO/MMC 4.2 版的卡，但可以同时支持多个 MMC 4.1 版或之前版本的卡。

除了 SD/SDIO/MMC，这个接口还能完全与 CE-ATA 数字协议 1.1 版本兼容。

2.30 CAN 通信接口

LTM32F103 系列芯片内置一个 CAN 通信接口。

CAN 接口兼容规范 2.0A 和 2.0B(主动)，位速率高达 1 兆位/秒。

CAN 接口可以接收和发送 11 位标识符的标准帧，也可以接受和发送 29 位标识符的扩展帧。

CAN 接口具有 3 个发送邮箱和 2 个接收 FIFO，3 级 14 个可调节的滤波器。

2.31 USB 通信接口

LTM32F103 系列芯片内置一个兼容全速 USB 的设备控制器，遵循全速 USB 设备(12 兆位/秒)标准，端点可由软件配置，具有待机/唤醒功能；USB 专用的 48MHz 时钟由内部主 PLL 时钟直接产生(时钟源必须是一个 HSE 外部晶体振荡器)。

2.32 芯片标识码

LTM32F103 系列芯片在内部闪存存储器模块的系统存储区域内置了一个 96 位的寄存器，这个寄存器在出厂时编写了芯片的识别信息，用户可以通过 JTAG/SWD 或者 CPU 进行读取。

这个 96 位的芯片识别码在任何情况下对于任意芯片都是唯一的，且出厂后就不可更改；用户按照不同的用法，可以以字节(8 位)、半字(16 位)或全字(32 位)读取。

这个 96 位的芯片唯一身份标识码非常适合用于以下场景：

用来作为序列码(例如 USB 字符序列号或其他的终端应用)；

用来作为密码，在编写闪存时，将此唯一标识与软件算法结合使用，提高代码在闪存存储器内的安全性；

用来激活带安全机制的 Boot 过程。

2.33 调试支持

LTM32F103 系列芯片使用 Cortex-M3®内核，此内核内含硬件调试模块，支持复杂的调试操作；硬件调试模块允许内核在取指(指令端点)或访问数据(数据断点)时停止；内核停止时，内核的内部状态和系统的外部状态都是可查询的；完成查询后，内核和外设可以被复原，程序将继续执行。

支持 SWD 串行接口和 JTAG 接口两种调试接口。

3 电气性能

3.1 极限工作参数

最大工作参数只是短时间的压力值，并且芯片在该值或者其他任何超出推荐值的条件下工作是不可取的；超过下列最大参数可能会给芯片造成永久性的损坏，长时间工作在最大参数下可能影响芯片的可靠性。

3.1.1 极限工作电压

表 4-1 极限工作电压

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压差	-0.5	5.8	V
V_{IN}	引脚上的输入电压	$V_{SS} - 0.3$	$V_{DD} + 0.3$	
$ V_{DDx} - V_{DD} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	

3.1.2 极限工作电流

表 4-2 极限工作电流

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流 (供应电流)	150	mA
I_{VSS}	引脚上的输入电流	150	
I_{IO}	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
$I_{INJ(PIN)}$	引脚的注入电流	± 5	
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流	± 25	

3.1.3 极限工作温度

表 4-3 极限工作温度

符号	描述	最小值	最大值	单位
T	工作温度范围	-40	+105	°C
T_{STG}	储存温度范围	-45	+150	°C
T_J	最大结温度	-	125	°C

3.2 额定工作参数

3.2.1 通用工作参数

表 4-4 通用工作参数

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 总线频率		0	96	MHz
f_{PCLK1}	内部 APB1 总线频率		0	36	
f_{PCLK2}	内部 APB2 总线频率		0	96	
V_{DD}	标准工作电压		2	5.5	V
V_{DDA}	模拟部分工作电压(未使用 ADC)	必须与 V_{DD} 相同	2	5.5	V
	模拟部分工作电压(使用 ADC)		2.4	5.5	
V_{BAT}	备份部分工作电压		1.8	5.5	V
P_D	功率耗散 温度标号 6: $T_A=85^{\circ}\text{C}$ 温度标号 7: $T_A=105^{\circ}\text{C}$	QFN36 封装		1000	mW
		QFN48 封装		624	
		LQFP48 封装		363	
		LQFP64 封装		444	
		LQFP100 封装		434	
		LQFP144 封装		666	
T_A	环境温度(温度标号 6)	最大功率消耗	-40	85	$^{\circ}\text{C}$
		低功率消耗	-40	105	
	环境温度(温度标号 7)	最大功率消耗	-40	105	$^{\circ}\text{C}$
		低功率消耗	-40	125	
T_J	结温度范围	温度标号 6	-40	105	$^{\circ}\text{C}$
		温度标号 7	-40	125	

注：除了特殊说明，本文中所有测试都是在此表工作参数下测试而来。

3.2.2 上电与掉电时的工作参数

表 4-5 上电与掉电时的工作参数

符号	参数	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率	0	∞	$\mu\text{s}/\text{V}$
	V_{DD} 下降速率	20	∞	

3.2.3 复位和电源控制模块特性

表 4-6 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[2:0]=000 (上升沿)	2.1	2.18	2.26	V
		PLS[2:0]=000 (下降沿)	2	2.08	2.16	V
		PLS[2:0]=001 (上升沿)	2.19	2.28	2.37	V
		PLS[2:0]=001 (下降沿)	2.09	2.18	2.27	V
		PLS[2:0]=010 (上升沿)	2.28	2.38	2.48	V
		PLS[2:0]=010 (下降沿)	2.18	2.28	2.38	V
		PLS[2:0]=011 (上升沿)	2.38	2.48	2.58	V
		PLS[2:0]=011 (下降沿)	2.28	2.38	2.48	V
		PLS[2:0]=100 (上升沿)	2.47	2.58	2.69	V
		PLS[2:0]=100 (下降沿)	2.37	2.48	2.59	V
		PLS[2:0]=101 (上升沿)	2.57	2.68	2.79	V
		PLS[2:0]=101 (下降沿)	2.47	2.58	2.69	V
		PLS[2:0]=110 (上升沿)	2.66	2.78	2.9	V
		PLS[2:0]=110 (下降沿)	2.56	2.68	2.8	V
		PLS[2:0]=111 (上升沿)	2.76	2.88	3	V
PLS[2:0]=111 (下降沿)	2.66	2.78	2.9	V		
$V_{PVDhyst}$	PVD 迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿	1.8	1.88	1.96	V
		上升沿	1.84	1.92	2.0	V
$V_{PDRhyst}$	PDR 迟滞		40			mV
$T_{RSTTEMPO}$	复位持续时间		1	2.5	4.5	ms

3.2.4 内部参考电压

下表中给出的参数是依据表 4-4 列出的通用工作参数下测试得出的。

表 4-7 内部参考电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$-40^{\circ}\text{C} < T_A < +105^{\circ}\text{C}$	1.16	1.20	1.26	V

3.2.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 引脚的翻转速度、程序在存储器中的位置以及执行的代码等。

最大电流消耗:

微控制器处于下列条件:

所有 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载);

除了特别说明，所有的外设都处于关闭状态;

闪存存储器的访问时间调整到 f_{HCLK} 的频率;

指令预取功能开启;

工作于表 4-4 列出的通用工作条件参数下。

运行模式下的最大电流消耗:

表 4-8 运行模式下的最大电流消耗，数据代码从内部闪存中运行

符号	参数	条件	f_{clk}	最大值		单位
				$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{DD}	运行模式下的供应电流	外部时钟， 使能所有外设	72MHz	69	70	mA
			48MHz	50	50.5	
			36MHz	39	39.5	
			24MHz	27	28	
			16MHz	20	20.5	
			8MHz	11	11.5	
		外部时钟， 关闭所有外设	72MHz	37	37.5	
			48MHz	28	28.5	
			36MHz	22	22.5	
			24MHz	16.5	17	
			16MHz	12.5	13	
			8MHz	8	8	

注：外部时钟为 8MHz，当时钟超过 8MHz 时，启用 PLL 提供时钟。

表 4-9 运行模式下的最大电流消耗，数据代码从内部 RAM 中运行

符号	参数	条件	f_{clk}	最大值		单位
				$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{DD}	运行模式下的供应电流	外部时钟， 使能所有外设	72MHz	66	67	mA
			48MHz	43.5	45.5	
			36MHz	33	35	
			24MHz	23	24.5	
			16MHz	16	18	
			8MHz	9	10.5	
		外部时钟， 关闭所有外设	72MHz	33	33.5	
			48MHz	23	23.5	
			36MHz	18	18.5	
			24MHz	13	13.5	
			16MHz	10	10.5	
			8MHz	6	6.5	

注：外部时钟为 8MHz，当时钟超过 8MHz 时，启用 PLL 提供时钟。

低功耗模式下的最大电流消耗:

表 4-10 睡眠模式下的最大电流消耗, 代码运行在内部闪存或 RAM 中

符号	参数	条件	f_{HCLK}	最大值		单位
				$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{DD}	睡眠模式下的供应电流	外部时钟, 使能所有外设	72MHz	45	46	mA
			48MHz	31	32	
			36MHz	24	25	
			24MHz	17	17.5	
			16MHz	12.5	13	
			8MHz	8	8	
		外部时钟, 关闭所有外设	72MHz	8.5	9	
			48MHz	7	7.5	
			36MHz	6	6.5	
			24MHz	5	5.5	
			16MHz	4.5	5	
			8MHz	4	4	

注: 外部时钟为 8MHz, 当时钟超过 8MHz 时, 启用 PLL 提供时钟。

表 4-11 停机和待机模式下的典型和最大电流

符号	参数	条件	典型值		最大值		单位
			$V_{DD}/V_{BAT} = 2.4\text{V}$	$V_{DD}/V_{BAT} = 3.3\text{V}$	$T_A = 85^\circ\text{C}$	$T_A = 105^\circ\text{C}$	
I_{DD}	停机模式下的供应电流	调压器处于运行模式, 低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗)	34.5	35	379	1130	μA
		调压器处于低功耗模式, 低速和高速内部 RC 振荡器和高速振荡器处于关闭状态(没有独立看门狗)	24.5	25	365	1110	
	待机模式下的供应电流	低速内部 RC 振荡器和独立看门狗处于开启状态	3	3.8	-	-	
		低速内部 RC 振荡器处于开启状态, 独立看门狗处于关闭状态	2.8	3.6	-	-	
		低速内部 RC 振荡器和独立看门狗处于关闭状态, 低速振荡器和 RTC 处于关闭状态	1.9	2.1	5	6.5	
	I_{DD_VBAT}	备份区域的供应电流	低速振荡器和 RTC 处于开启状态	1.1	1.4	2	

注: 外部时钟为 8MHz, 当时钟超过 8MHz 时, 启用 PLL 提供时钟。

典型的电流消耗:

MCU 处于下述条件下:

所有 I/O 引脚都处于输入模式, 且连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载);

除了特殊说明, 所有外设都处于关闭状态;

闪存存储器的访问时间调整到 f_{HCLK} 的频率;

环境温度和 V_{DD} 供电电压条件;

指令预取功能开启;

工作与表 4-4 列出的通用工作条件参数下。

运行模式下的典型的电流消耗:

表 4-12 运行模式下的典型电流消耗，数据处理代码从内部闪存存储器中运行

符号	参数	条件	f_{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式下的 供应电流	HSE 外部时钟	72MHz	51	30.5	mA
			48MHz	34.6	20.7	
			36MHz	26.6	16.2	
			24MHz	18.5	11.4	
			16MHz	12.8	8.2	
			8MHz	7.2	5	
			4MHz	4.2	3.1	
			2MHz	2.7	2.1	
			1MHz	2	1.7	
			500kHz	1.6	1.4	
		125kHz	1.3	1.2		
		HSI 内部高速 RC 振荡器，使用 AHB 分频以降低频率	64MHz	45	27	mA
			48MHz	34	20.1	
			36MHz	26	15.6	
			24MHz	17.9	10.8	
			16MHz	12.2	7.6	
			8MHz	6.6	4.4	
			4MHz	3.6	2.5	
			2MHz	2.1	1.5	
			1MHz	1.4	1.1	
500kHz	1		0.8			
125kHz	0.7	0.6				

注：外部时钟为 8MHz，当时钟超过 8MHz 时，启用 PLL 提供时钟。

低功耗模式下的典型的电流消耗:

表 4-13 睡眠模式下的典型电流消耗, 数据处理代码从内部闪存存储器或 RAM 中运行

符号	参数	条件	f_{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式下的 供应电流	运行于 HSE 外部时 钟	72MHz	29.5	6.4	mA
			48MHz	20	4.6	
			36MHz	15.1	3.6	
			24MHz	10.4	2.6	
			16MHz	7.2	2	
			8MHz	3.9	1.3	
			4MHz	2.6	1.2	
			2MHz	1.85	1.15	
			1MHz	1.5	1.1	
			500kHz	1.3	1.05	
		125kHz	1.2	1.05		
		运行于 HSI 内部高 速 RC 振荡器, 使 用 AHB 分频以降低 频率	64MHz	25.6	5.1	mA
			48MHz	19.4	4	
			36MHz	14.5	3	
			24MHz	9.8	2	
			16MHz	6.6	1.4	
			8MHz	3.3	0.7	
			4MHz	2	0.6	
			2MHz	1.25	0.55	
			1MHz	0.9	0.5	
500kHz	0.7		0.45			
125kHz	0.6	0.45				

注: 外部时钟为 8MHz, 当时钟超过 8MHz 时, 启用 PLL 提供时钟。

3.2.6 外部时钟源特性

由 OSC_IN 引脚输入的外部高速时钟源特性:

表 4-14 外部高速时钟源特性

符号	参数	最小值	典型值	最大值	单位
f_{HSE_ext}	HSE 时钟频率	0	8	25	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压	0.7 V_{DD}		V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压	V_{SS}		0.3 V_{DD}	
$t_{w(HSE)}$	OSC_IN 高或低的时间	16			ns
$t_{r(HSE)}$	OSC_IN 上升或下降的时间			20	
$C_{in(HSE)}$	OSC_IN 输入容抗		5		pF
DuCy _(HSE)	占空比	45		55	%
I_L	OSC_IN 输入漏电流 ($V_{SS} \leq V_{IN} \leq V_{DD}$)			± 1	μA

建议使用上表描述的参数选择相应时钟源。

由 OSC32_IN 引脚输入的外部低速时钟源特性:

表 4-15 外部低速时钟源特性

符号	参数	最小值	典型值	最大值	单位
f_{LSE_ext}	LSE 时钟频率	0	32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压	$0.7V_{DD}$		V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压	V_{SS}		$0.3V_{DD}$	
$t_{w(LSE)}$	OSC32_IN 高或低的时间	450			ns
$t_{\downarrow(LSE)}$	OSC32_IN 上升或下降的时间			50	
$C_{in(LSE)}$	OSC32_IN 输入容抗		5		pF
$DuCY_{(LSE)}$	占空比	45	50	70	%
I_L	OSC32_IN 输入漏电流 ($V_{SS} \leq V_{IN} \leq V_{DD}$)			± 1	μA

建议使用上表描述的参数选择相应时钟源。

外部高速晶体振荡器(HSE)特性:

表 4-16 HSE 时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC32_IN}	振荡器频率		4	8	16	MHz
R_F	反馈电阻			200		k Ω
C_{L1} 、 C_{L2}	建议的负载电容与对应的晶体串行阻抗(R_s)	$R_s = 30\Omega$		30		pF
i_2	HSE 驱动电流	$V_{DD}=3.3V$, $V_{IN}=V_{SS}$ 30pF 负载			1	mA
g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}$	启动时间	V_{DD} 是稳定的		2		ms

建议使用上表描述的参数选择相应时钟源。

外部低速晶体振荡器(LSE)特性:

表 4-17 LSE 时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
R_F	反馈电阻			5		M Ω
C_{L1} 、 C_{L2}	建议的负载电容与对应的晶体串行阻抗(R_s)	$R_s = 30\Omega$			15	pF
i_2	LSE 驱动电流	$V_{DD}=3.3V$, $V_{IN}=V_{SS}$			1.4	μA
g_m	振荡器的跨导	启动	5			$\mu A/V$
$t_{SU(LSE)}$	启动时间	V_{DD} 是稳定的		3		s

建议使用上表描述的参数选择相应时钟源。

3.2.7 内部时钟源特性

高速内部 RC 振荡器 (HSI) 特性:

表 4-18 HSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率			8		MHz
ACC_{HSI}	HSI RC 振荡器的精度	$T_A = -40 \sim 105^\circ\text{C}$	-2	± 1	2.5	%
		$T_A = -10 \sim 85^\circ\text{C}$	-1.5	± 1	2.2	%
		$T_A = 0 \sim 70^\circ\text{C}$	-1.3	± 1	2	%
		$T_A = 25^\circ\text{C}$	-1.1	± 1	1.8	%
$t_{\text{SH(HSI)}}$	HSI RC 振荡器启动时间		1		2	μs
$I_{\text{DD(HSI)}}$	HSI RC 振荡器功耗			80	100	μA

低速内部 RC 振荡器 (LSI) 特性:

表 4-19 LSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率		30	40	60	KHz
$t_{\text{SH(LSI)}}$	LSI RC 振荡器启动时间				80	μs
$I_{\text{DD(LSI)}}$	LSI RC 振荡器功耗			0.65	1.2	μA

3.2.8 PLL 时钟特性

表 4-20 PLL 时钟特性

符号	参数	最小值	典型值	最大值	单位
$f_{\text{PLL_IN}}$	PLL 输入时钟	1	8	25	MHz
	PLL 输入时钟占空比	40		60	%
$f_{\text{PLL_OUT}}$	PLL 倍频输出时钟	16		96	MHz
t_{LOCK}	PLL 锁相时间			200	μs

3.2.9 存储器特性

内嵌式闪存存储器:

表 4-21 内嵌式闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{PROG}	16 位的编程时间	$T_A = -40 \sim 105^\circ\text{C}$	40	52.5	70	μs
t_{ERASE}	页 (2K 字节) 擦除时间	$T_A = -40 \sim 105^\circ\text{C}$	20		40	ms
t_{ME}	整片擦除时间	$T_A = -40 \sim 105^\circ\text{C}$	20		40	ms
I_{DD}	供电电流	读模式, $f_{\text{HCLK}}=72\text{MHz}$, $V_{\text{DD}}=3.3\text{V}$			28	mA
		写模式, $f_{\text{HCLK}}=72\text{MHz}$, $V_{\text{DD}}=3.3\text{V}$			7	mA
		擦除模式, $f_{\text{HCLK}}=72\text{MHz}$, $V_{\text{DD}}=3.3\text{V}$			5	mA
		掉电模式/停机, $V_{\text{DD}}=3.3 \sim 3.6\text{V}$			50	μA
V_{PROG}	编程电压		2		3.6	V

表 4-22 内嵌式闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	寿命 (擦写次数)	$T_A = -40 \sim 105^\circ\text{C}$	10			千次
t_{RET}	数据保存期限	$T_A = 85^\circ\text{C}$ 时, 1000 次擦写之后	30			年
		$T_A = 105^\circ\text{C}$, 1000 次擦写之后	10			
		$T_A = 55^\circ\text{C}$, 1 万次擦写之后	20			

3.2.10 绝对最大额定值(电灵敏度)

在使用特定测量方法的三种不同测试 (ESD, LU) 的基础上, 对该装置进行了应力测试, 以确定其在电敏感性方面的性能。

静电放电 (ESD):

根据每个引脚组合对每个样品的引脚施加静电放电 (正负脉冲间隔 1 秒)。样本量取决于器件中电源引脚的数量 (3 个零件 \times (n + 1) 电源引脚)。本测试符合 JESD22-A114/C101 标准。

表 4-23 静电放电绝对最大额定值

符号	等级	条件	级	最大值 ^(d)	单位
VESD(HBM)	静电放电电压(人体模型)	$T_A = +25^\circ\text{C}$, 符合 JESD22-A114	2	2000	V
VESD(CDM)	静电放电电压(充电设备模型)	$T_A = +25^\circ\text{C}$, 符合 ANSI/ESD LTM5. 3. 1	II	500	

1. 根据表征期间的测试保证

静态闭锁:

需要对六个部件进行两个互补的静态测试, 以评估闭锁性能:

- 电源过电压被施加到每个电源引脚
- 电流注入应用于每个输入、输出和可配置的 I/O 引脚

这些测试符合 EIA/JESD 78A IC 闭锁

表 4-24 电灵敏度

符号	参数	条件	级
LU	静态封闭类	$T_A = +105^\circ\text{C}$, 符合 JESD78A	II A 级

3.2.11 I/O 端口特性

通用输入/输出端口 (GPIO) 静态特性:

表 4-25 GPIO 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL 端口	-0.5		0.8	V
V_{IH}	标准 I/O 脚, 输入高电平电压		2		$V_{DD} + 0.5$	
	FT I/O 脚, 输入高电平电压		2		5.5	
V_{IL}	输入低电平电压	CMOS 端口	-0.5		$0.35V_{DD}$	V
V_{IH}	输入高电平电压		$0.65V_{DD}$		$V_{DD} + 0.5$	
V_{hys}	标准 I/O 脚施密特触发器电压迟滞		200			mV
	5V 容忍 I/O 脚施密特触发器电压迟滞		$5\%V_{DD}$			mV
I_{1kg}	输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$ 标准 I/O 端口			± 1	μA
		$V_{IN} = 5\text{V}$, 5V 容忍端口			3	

R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	30	40	50	K Ω
R_{PD}	弱下拉等效电阻	$V_{IN} = V_{DD}$	30	40	50	K Ω
$C_{I/O}$	I/O 引脚的电容			5		pF

注：所有的 I/O 端口都是 CMOS 和 TTL 兼容 (不需要软件配置)，它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数：

- 对于 V_{IH} ：

如果 V_{DD} 是介于 2.0~3.08V，则使用 CMOS 特性但包含 TTL；

如果 V_{DD} 是介于 3.08~3.6V，则使用 TTL 特性但包含 CMOS；

- 对于 V_{IL} ：

如果 V_{DD} 是介于 2.0~2.28V，则使用 TTL 特性但包含 CMOS；

如果 V_{DD} 是介于 2.28~3.6V，则使用 CMOS 特性但包含 TTL；

GPIO 可以输出多达 $\pm 8\text{mA}$ 的电流，并且吸收 +20mA 电流。

在用户应用中，必须保证 I/O 引脚上的驱动电流不超过极限额定值：

所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过极限额定值 I_{VDD} ；

所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过极限额定值 I_{VSS} 。

表 4-26 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 当 8 个引脚同时吸收电流	TTL 端口, $I_{IO} = +8mA$		0.4	V
	输出高电平, 当 8 个引脚同时输出电流	$2.7V < V_{DD} < 3.6V$	$V_{DD}-0.4$		
	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO} = +8mA$		0.4	V
	输出高电平, 当 8 个引脚同时输出电流	$2.7V < V_{DD} < 3.6V$	2.4		
	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +20mA$		1.3	V
	输出高电平, 当 8 个引脚同时输出电流	$2.7V < V_{DD} < 3.6V$	$V_{DD}-1.3$		
	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +6mA$		0.4	V
	输出高电平, 当 8 个引脚同时输出电流	$2V < V_{DD} < 2.7V$	$V_{DD}-0.4$		

通用输入/输出端口 (GPIO) 静态特性:

表 4-27 GPIO 交流特性

符号	GPIO 频率	参数	条件	最小值	最大值	单位	
$f_{max(10)out}$	2MHz	最大频率	$C_L = 50 \text{ pF}, V_{DD} = 2 \sim 3.6V$		2	MHz	
$t_{f(10)out}$		输出高至低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 2 \sim 3.6V$		125		ns
$t_{r(10)out}$		输出低至高电平的上升时间			125		
$f_{max(10)out}$	10MHz	最大频率	$C_L = 50 \text{ pF}, V_{DD} = 2 \sim 3.6V$		10	MHz	
$t_{f(10)out}$		输出高至低电平的下降时间	$C_L = 50 \text{ pF}, V_{DD} = 2 \sim 3.6V$		25		ns
$t_{r(10)out}$		输出低至高电平的上升时间			25		
$f_{max(10)out}$	50MHz	最大频率	$C_L = 30 \text{ pF}, V_{DD} = 2.7 \sim 3.6V$		50	MHz	
			$C_L = 50 \text{ pF}, V_{DD} = 2.7 \sim 3.6V$		30		
			$C_L = 50 \text{ pF}, V_{DD} = 2 \sim 2.7V$		20		
$t_{f(10)out}$		输出低至高电平的上升时间	$C_L = 30 \text{ pF}, V_{DD} = 2.7 \sim 3.6V$		5	ns	
			$C_L = 50 \text{ pF}, V_{DD} = 2.7 \sim 3.6V$		8		
			$C_L = 50 \text{ pF}, V_{DD} = 2 \sim 2.7V$		12		
$t_{r(10)out}$		输出低至高电平的上升时间	$C_L = 30 \text{ pF}, V_{DD} = 2.7 \sim 3.6V$		5		
			$C_L = 50 \text{ pF}, V_{DD} = 2.7 \sim 3.6V$		8		
			$C_L = 50 \text{ pF}, V_{DD} = 2 \sim 2.7V$		12		
t_{EXTIpw}	-	EXTI 控制器检测到外部信号的脉冲宽度		10		ns	

3.2.12 NRST 特性

NRST 引脚输入驱动使用 CMOS 工艺, 它连接了一个不能断开的上拉电阻 R_{PU} 。

表 4-28 NRST 引脚特性

符号	参数	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-0.5		0.8	V
$V_{IH(NRST)}$	NRST 输入高电平电压	2		$V_{DD}+0.5$	
$V_{bys(NRST)}$	NRST 施密特触发器电压迟滞		200		mV
R_{PU}	弱上拉等效电阻 ($V_{IN} = V_{SS}$)	30	40	50	K Ω
$V_F(NRST)$	NRST 输入滤波脉冲			100	ns
$V_{NF(NRST)}$	NRST 输入非滤波脉冲	300			ns

建议用户使用的 NRST 引脚复位保护电路：

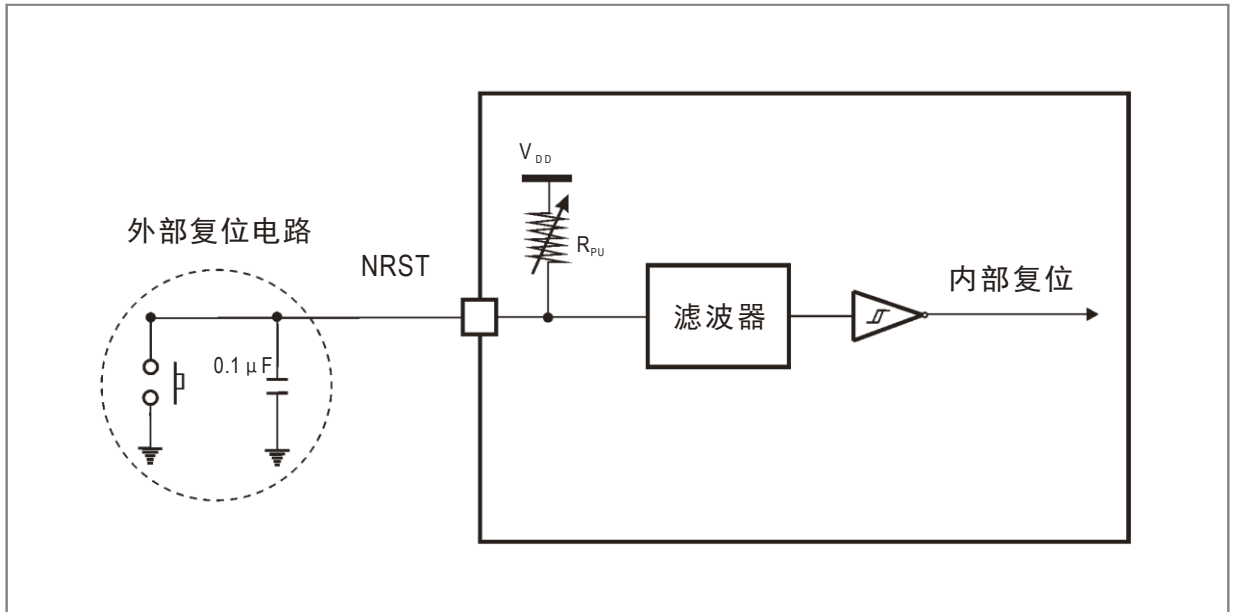


图 4-1 外部复位电路图

复位电路是为了防止 NRST 引脚上的电压波动导致的误复位；
用户需要使 NRST 引脚的电压降至表 4-26 列出的最大 $V_{IL(NRST)}$ 以下，才能使 MCU 复位。

3.2.13 TIM 特性

表 4-29 TIM 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$ K
		$f_{TIMxCLK} = 72MHz$	13.9		ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 72MHz$	0	36	MHz
Res_{TIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$ K
		$f_{TIMxCLK} = 72MHz$	0.0139	910	μs
t_{MAX_COUNT}	最大可能的计数			65536x65536	$t_{TIMxCLK}$ K
		$f_{TIMxCLK} = 72MHz$		59.6	s

3.2.14 I2C 接口特性

LTM32F103 系列芯片的 I2C 接口符合标准 I2C 通信协议，但是有如下限制：SDA 和 SCL 通信线不是真正完全开漏的引脚，当配置为开漏模式时，GPIO 和 V_{DD} 之间的 PMOS 管被关闭，但它仍然存在。

表 4-30 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCLL)$	SCL 时钟低时间	4.7		1.3		μs
$t_w(SCLH)$	SCL 时钟高时间	4.0		0.6		
$t_{su}(SDA)$	SDA 建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	
$t_r(SDA)$ $t_r(SCL)$	SDA 和 SCL 上升时间		1000	$20 + 0.1C_b$	300	
$t_f(SDA)$ $t_f(SCL)$	SDA 和 SCL 下降时间		300		300	
$t_h(STA)$	开始条件保持时间	4.0		0.6		μs
$t_{su}(STA)$	重复的开始条件建立时间	4.7		0.6		
$t_{su}(STO)$	停止条件建立时间	4.0		0.6		μs
$t_w(STO:STA)$	停止条件至开始条件的的时间(总线空闲)	4.7		1.3		μs
C_b	每条总线的容性负载		400		400	pF

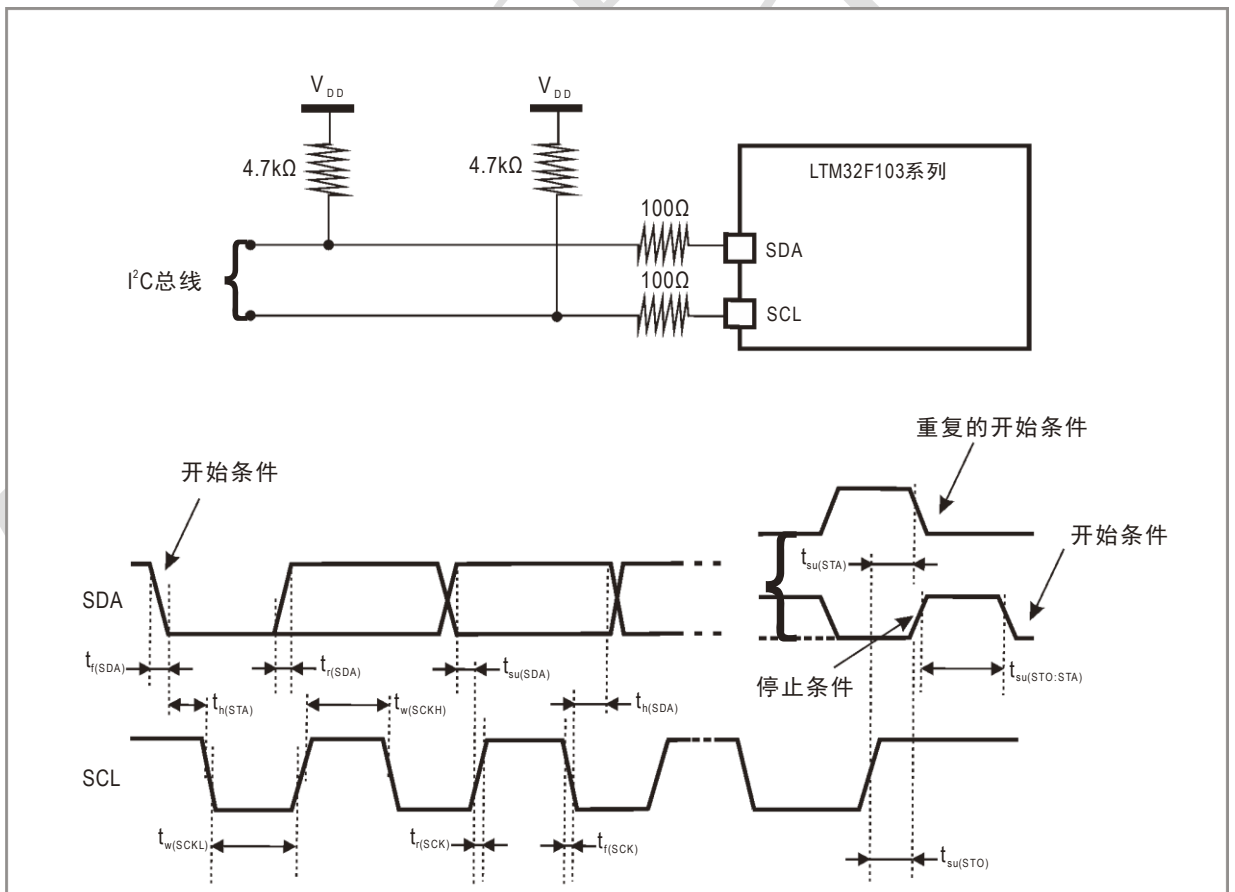


图 4-2 I2C 总线交流波形和测量电路

注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

表 4-31 SCL 频率 ($f_{PCLK1}=36\text{MHz}$, $V_{DD}=3.3\text{V}$)

$F_{SCL}(\text{KHz})$	I2C_CCR 数值
	$R_P = 4.7\text{k}\Omega$
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

注: f_{CLK} 是指 I2C 的速度, R_P 是指外部上拉电阻的阻值;

对于 200KHz 左右的 I2C 速度, 误差位 $\pm 5\%$, 对于其他速度范围, 误差为 $\pm 2\%$; 这些变化取决于外部元器件的精度。

3.2.15 SPI-I2S 接口特性

表 4-32 SPI 接口特性

符号	参数	条件	最小值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式		18	MHz
		从模式		18	
$t_r(SCK)$ $t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C = 30\text{pF}$		8	ns
$t_{su(NSS)}$	NSS 建立时间	从模式	$4t_{PCLK}$		ns
$t_h(NSS)$	NSS 保持时间	从模式	60		ns
$t_w(SCKH)$ $t_w(SCKL)$	SCK 高和低的时间	主模式, $f_{PCLK} = 36\text{MHz}$, 预分频系数=4	50	60	ns
$t_{su(MI)}$ $t_{tsu(SI)}$	数据输出禁止时间	主模式 - SPI1	3		ns
		主模式 - SPI2	5		
		从模式	4		
$t_h(MI)$ $t_h(SI)$	数据输出禁止时间	主模式 - SPI1	4		ns
		主模式 - SPI2	6		
		从模式	5		
$t_a(SO)$	数据输出禁止时间	从模式, $f_{PCLK} = 36\text{MHz}$, 预分频系数=4	0	55	ns
		从模式, $f_{PCLK} = 24\text{MHz}$		$4t_{PCLK}$	
$t_{dis(SO)}$	数据输出禁止时间	从模式	10		ns
$t_v(SO)$	数据输出有效时间	从模式(使能边沿之后)		25	ns
$t_v(MD)$	数据输出有效时间	主模式(使能边沿之后)		6	ns
$t_v(SO)$ $t_h(MO)$	数据输出禁止时间	从模式(使能边沿之后)	25		ns
		主模式(使能边沿之后)	6		

第一个边沿采样的 SPI 从模式时序图:

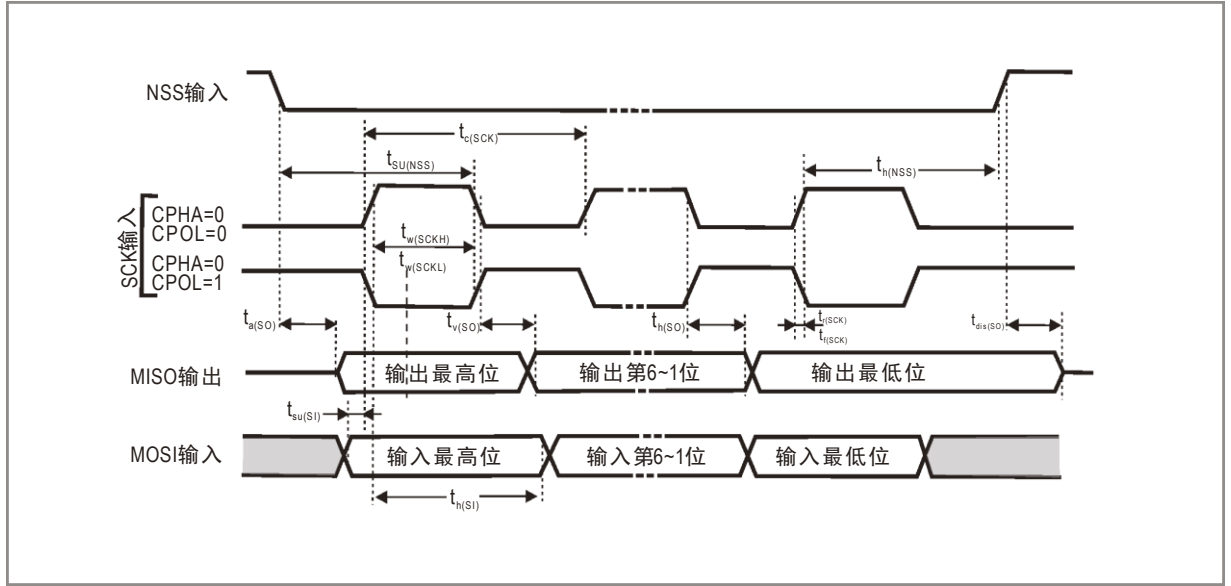


图 4-3 SPI 从模式时序图 (第一个边沿采样)

第二个边沿采样的 SPI 从模式时序图:

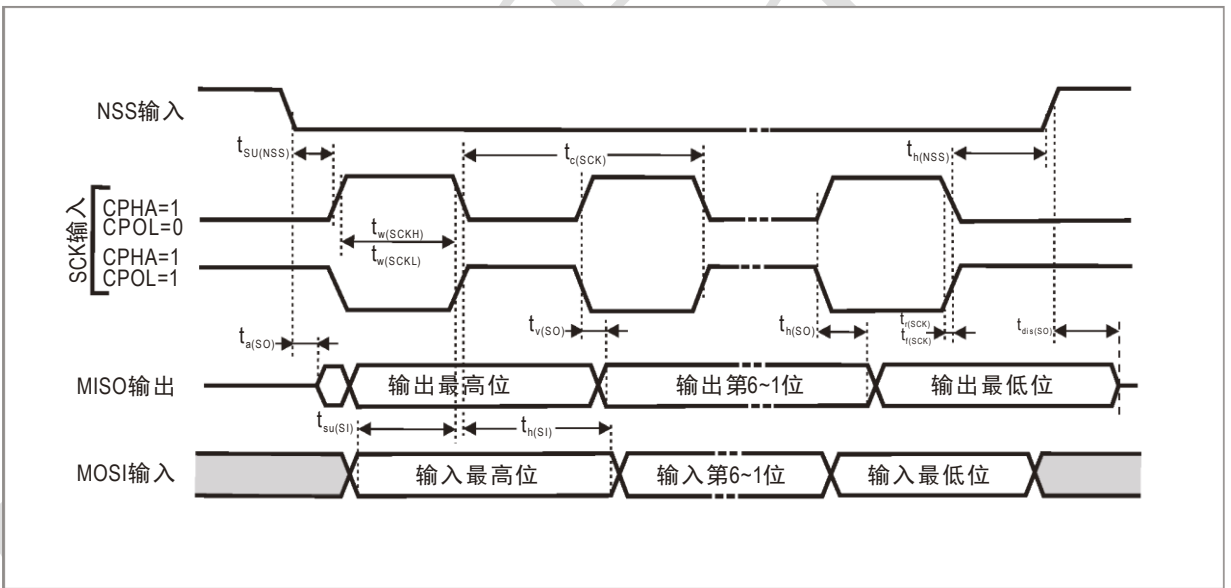


图 4-4 SPI 从模式时序图 (第二个边沿采样)

SPI 主模式时序图:

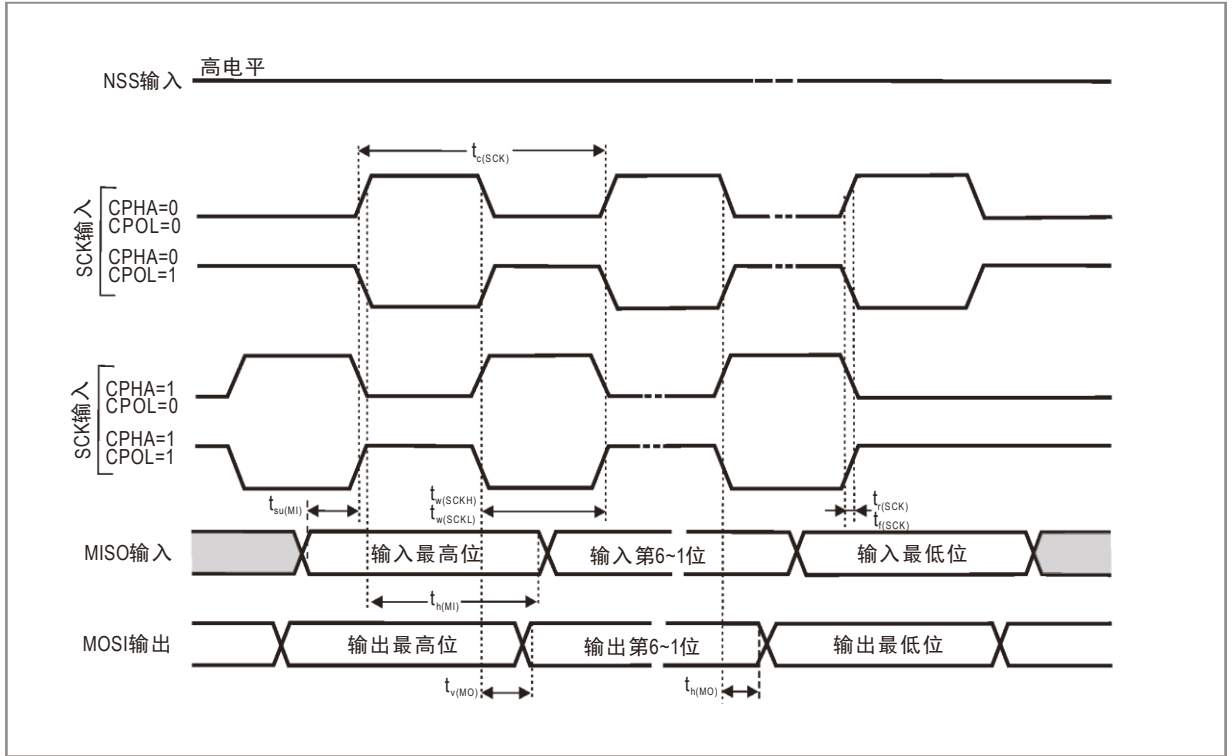


图 4-5 SPI 主模式时序图

表 4-33 I2S 接口特性

符号	参数	条件	最小值	最大值	单位
f _{CK}	I2S 时钟频率	主模式	1.522	1.525	MHz
		从模式	0	6.5	
t _{r(CK)} t _{f(CK)}	I2S 时钟上升与下降时间	负载电容: C=50pF		8	ns
t _{v(WS)}	WS 有效时间	主模式	3		ns
t _{h(WS)}	WS 保持时间	主模式	2		ns
		I2S2 I2S3			
t _{su(WS)}	WS 建立时间	从模式	4		ns
t _{h(WS)}	WS 保持时间	从模式	0		ns
t _{w(CKH)} t _{w(CKL)}	CK 高和低的时间	主模式, f _{PCLK} =16MHz	313 345		ns
t _{su(SD_MR)}	数据输入建立时间	主模式	I2S2: 2 I2S3: 6.5		ns
t _{su(SD_SR)}	数据输入建立时间	从接收器	1.5		ns
t _{h(SD_MR)} t _{h(SD_SR)}	数据输入保持时间	主接收器 从接收器	0 0.5		ns
t _{v(SD_ST)}	数据输出有效时间	从发送器(使能边沿之后)		18	ns
t _{h(SD_ST)}	数据输出保持时间	从发送器(使能边沿之后)	11		ns
t _{v(SD_MT)}	数据输出有效时间	主发送器(使能边沿之后)		3	ns
t _{h(SD_MT)}	数据输出保持时间	主发送器(使能边沿之后)	0		ns

I2S 从模式时序:

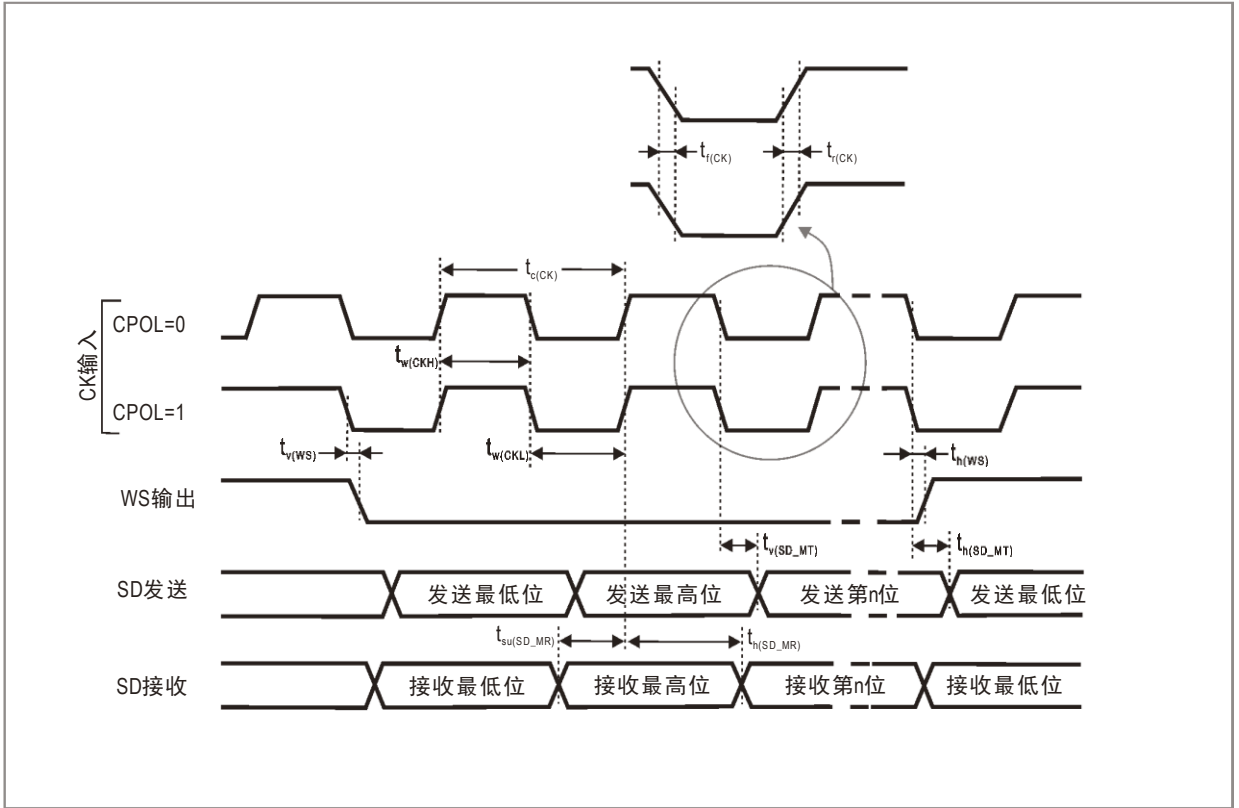


图 4-6 I2S 从模式时序图

I2S 主模式时序:

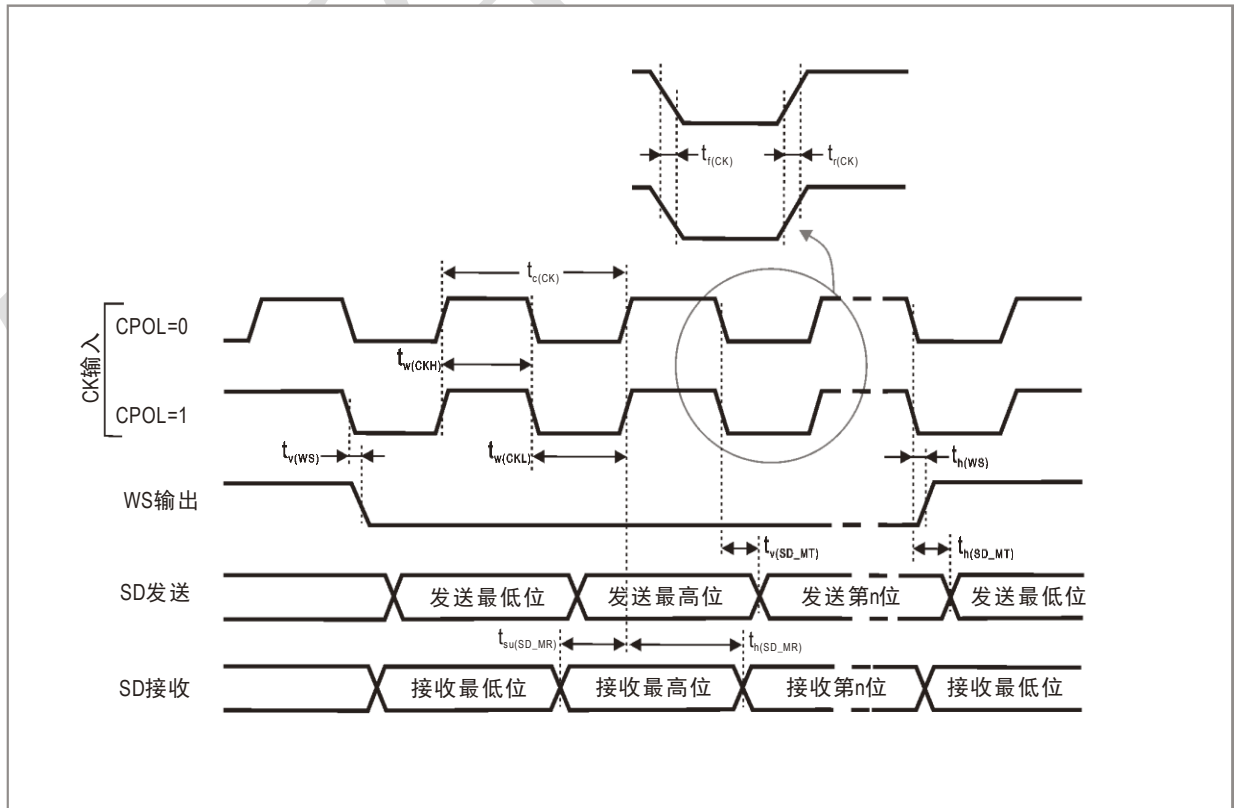


图 4-7 I2S 主模式时序图

3.2.16 SDIO 接口特性

SDIO 高速模式时序:

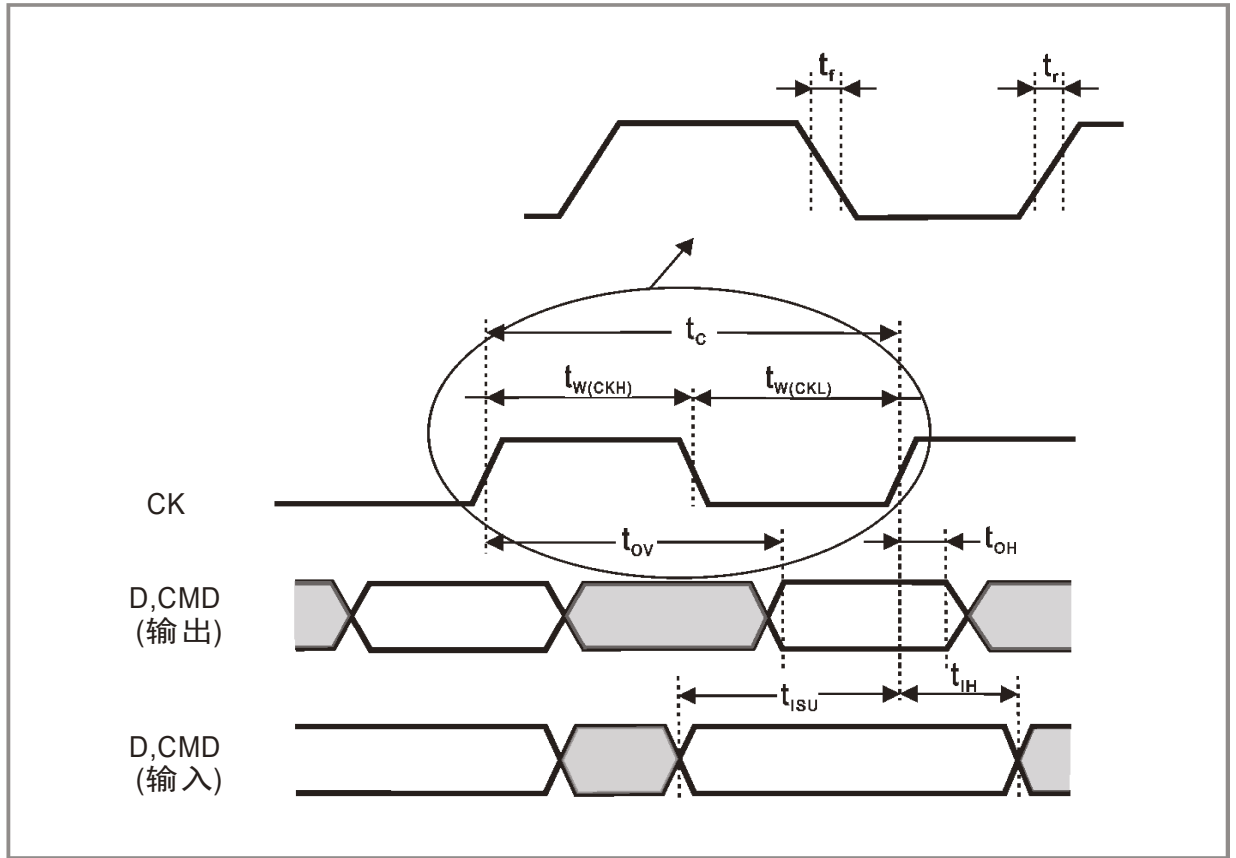


图 4-8 SDIO 高速模式时序图

SDIO 默认模式时序:

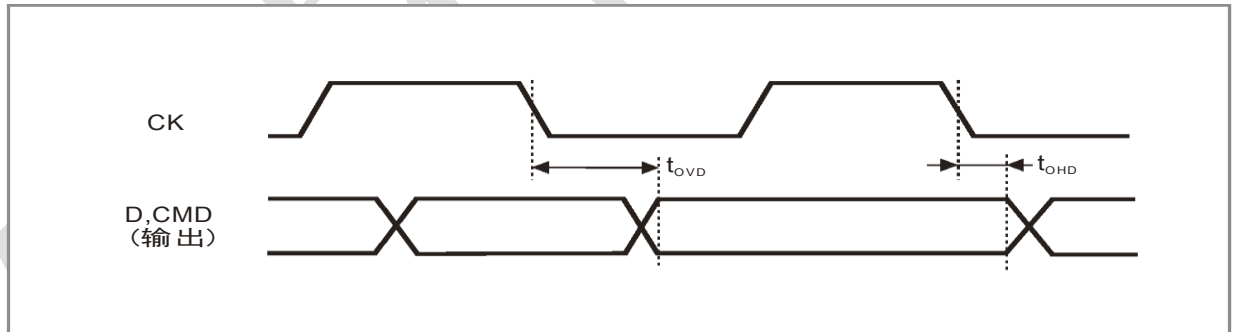


图 4-9 SDIO 默认模式时序图

表 4-34 SDIO 接口特性

符号	参数	条件	最小值	最大值	单位
f_{PP}	数据传输模式下的时钟频率	$C_L \leq 30pF$	0	48	MHz
$t_{W(CKL)}$	时钟低时间	$C_L \leq 30pF$	32		ns
$t_{W(CKH)}$	时钟高时间	$C_L \leq 30pF$	30		ns
t_r	时钟上升时间	$C_L \leq 30pF$		4	ns
t_f	时钟下降时间	$C_L \leq 30pF$		5	ns
CMD、D 输入(参考 CK)					
t_{ISU}	输入建立时间	$C_L \leq 30pF$	2		ns
t_{IH}	输入保持时间	$C_L \leq 30pF$	0		
在 MMC 和 SD 高速模式 CMD、D 输出(参考 CK)					
t_{OV}	输出有效时间	$C_L \leq 30pF$		6	ns
t_{OH}	输出保持时间	$C_L \leq 30pF$	0		
在 SD 默认模式 CMD、D 输出(参考 CK)					
t_{OVD}	输出有效默认时间	$C_L \leq 30pF$		7	ns
t_{OHD}	输出保持默认时间	$C_L \leq 30pF$	0.5		

3.2.17 USB 特性

USB(全速)接口已经通过 USB-IF 认证。

表 4-35 USB 启动时间

符号	参数	最大值	单位
$t_{STARTUP}$	USB 收发器启动时间	1	μs

表 4-36 USB 直流特性

符号	参数	条件	最小值	最大值	单位
输入电平					
V_{DD}	USB 操作电压		3.0	3.6	V
V_{DI}	差分输入灵敏度	I (USBDP, USBDM)	0.2		V
V_{CM}	差分共模范围	包含 VDI 范围	0.8	2.5	
V_{SE}	单端接收器阈值		1.3	2.0	
输出电平					
V_{OL}	静态输出低电平	1.5K Ω 的 RL 接至 3.6V		0.3	V
V_{OH}	静态输出高电平	15K Ω 的 RL 接至 V_{SS}	2.8	3.6	

注:

- 1、所有电压测量都是以设备端接地线为准;
- 2、USB 功能在 2.7V 时得到保证,而不是在 2.7~3.0V 电压范围内下降级的电气特性;
- 3、RL 是连接到 USB 驱动器上的负载。

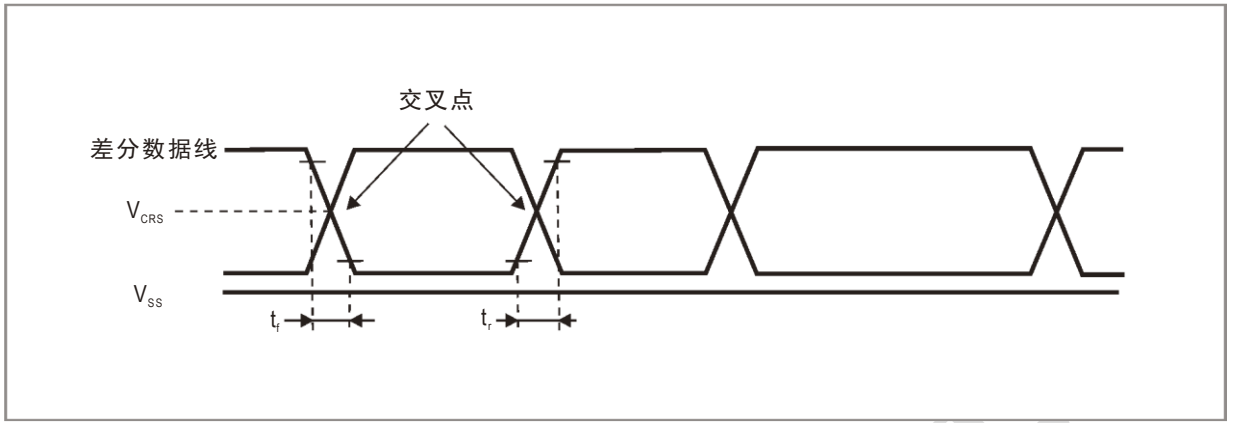


图 4-10 USB 时序：数据信号上升和下降时间定义

表 4-37 USB 全速电气特性

符号	参数	条件	最小值	最大值	单位
t_r	上升时间	$C_L \leq 50\text{pF}$	4	20	ns
t_f	下降时间	$C_L \leq 50\text{pF}$	4	20	ns
t_{rfm}	上升下降时间匹配	t_s/t_f	90	110	%
V_{CRS}	输出信号交叉电压		1.3	2.0	V

3.2.18 ADC 电气特性

表 4-38 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.4		3.6	V
V_{REF+}	正参考电压		2.4		V_{DDA}	V
I_{VREF}	在 V_{REF} 输入脚上的电压			160	220	μA
f_{ADC}	ADC 时钟频率		0.6		14	MHz
f_s	采样速率		0.05		1	MHz
f_{TRIG}	外部触发频率	$f_{ADC} = 14\text{MHz}$			823	kHz
					17	1/fADC
V_{AIN}	转换电压范围		0 (V_{SSA} 或 V_{REF-} 连接到地)		V_{REF+}	V
R_{AIN}	外部输入阻抗		参考公式 1			k Ω
R_{ADC}	采样开关电阻				1	k Ω
C_{ADC}	内部采样和保持电容				12	pF
t_{CAL}	校准时间	$f_{ADC} = 14\text{MHz}$	5.9			μs
			83			1/fADC
t_{lat}	注入触发转换时延	$f_{ADC} = 14\text{MHz}$			0.214	μs
					3	1/fADC
t_{latr}	常规触发转换时延	$f_{ADC} = 14\text{MHz}$			0.143	μs
					2	1/fADC
t_s	采样时间	$f_{ADC} = 14\text{MHz}$	0.107		17.1	μs
			1.5		239.5	1/fADC
t_{STAB}	上电时间		0	0	1	μs
t_{CONV}	总的转换时间 (包括采样时间)	$f_{ADC} = 14\text{MHz}$	1		18	μs
			14~252 (采样 t_s + 逐步逼近 12.5)			1/fADC

注：1、建议在每次上电时执行一次校准；

- 根据不同的封装, V_{REF+} 、 V_{REF-} 可以在内部连接到 V_{DDA} 、 V_{SSA} ;
- 对于外部触发, 必须在上表列出的转换时延中加上一个延时 $1/f_{PCLK2}$ 。

最大外部输入阻抗计算:

$$\text{公式 1: } R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} R_{ADC}$$

上述公式用于决定最大的外部阻抗, 是的误差可以小于 $1/4\text{LSB}$; 其中 $N=12$ (表示 12 位分辨率)。

表 4-39 $f_{ADC}=14\text{MHz}$ 时的最大 R_{AIN}

T_s (周期)	t_s (μs)	最大 R_{AIN} ($\text{k}\Omega$)
1.5	0.11	1.2
7.5	0.54	10
13.5	0.96	19
28.5	2.04	41
41.5	2.96	60
55.5	3.96	80
71.5	5.11	104
239.5	17.1	350

表 4-40 ADC 精度 (有限的试验条件)

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK2} = 56 \text{ MHz}$, $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 3 \sim 3.6 \text{ V}$, $T_A = 25 \text{ }^\circ\text{C}$ 测量是在 ADC 校准之后进行的 $V_{REF+} = V_{DDA}$	± 1.3	± 2	LSB
EO	偏移误差		± 1	± 1.5	
EG	增益误差		± 0.5	± 1.5	
ED	微分线性误差		± 0.7	± 1	
EL	积分线性误差		± 0.8	± 1.5	

- 注: 1、ADC 的直流精度是在经过内部校准后测量的;
- 2、ADC 精度与反向注入电流的关系: 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度; 建议用户在可能产生反向注入电流的标准模拟引脚上增加一个肖特基二极管;
- 3、如果正向的注入电流处于 I/O 引脚标准范围内, 就不会影响 ADC 精度。

表 4-41 ADC 精度

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK2} = 56 \text{ MHz}$, $f_{ADC} = 14 \text{ MHz}$, $R_{AIN} < 10 \text{ k}\Omega$, $V_{DDA} = 2.4 \sim 3.6 \text{ V}$ 测量是在 ADC 校准之后进行的	± 2	± 5	LSB
EO	偏移误差		± 1.5	± 2.5	
EG	增益误差		± 1.5	± 3	
ED	微分线性误差		± 1	± 2	
EL	积分线性误差		± 1.5	± 3	

- 注: 1、ADC 的直流精度是在经过内部校准后测量的;
- 2、最佳的性能可以在受限的 V_{DD} 、 V_{REF} 、频率和温度范围下实现;
- 3、ADC 精度与反向注入电流的关系: 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度; 建议用户在可能产生反向注入电流的标准模拟引脚上增加一个肖特基二极管;
- 4、如果正向的注入电流处于 I/O 引脚标准范围内, 就不会影响 ADC 精度。

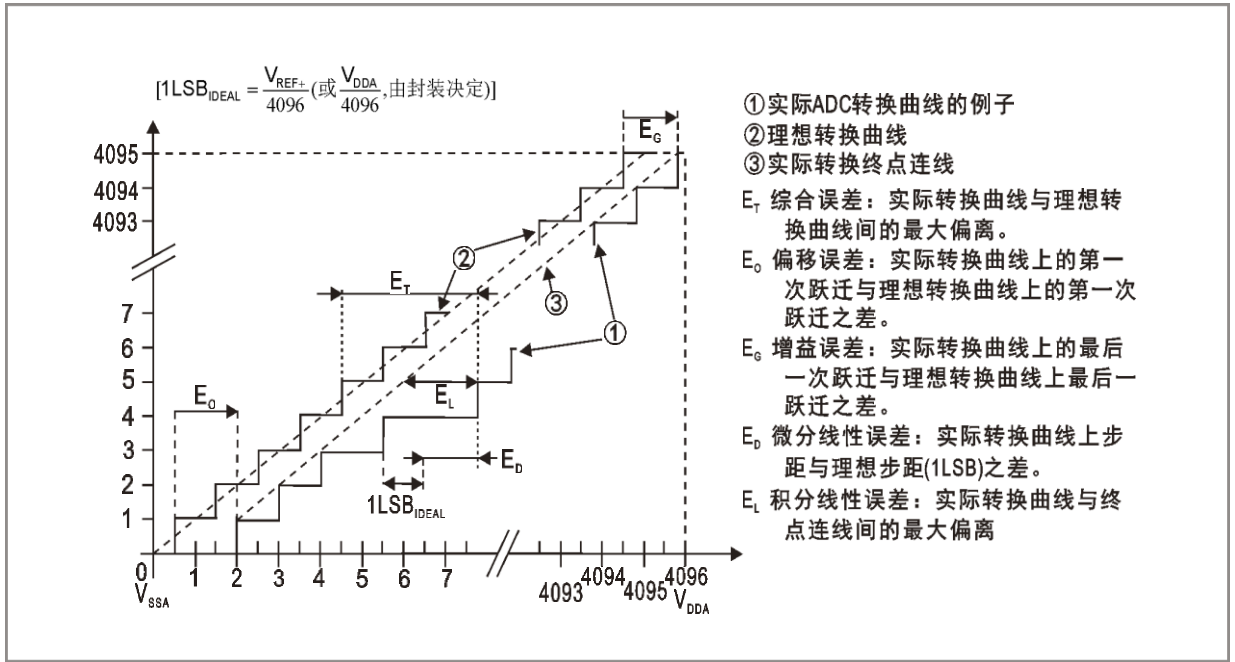


图 4-11 ADC 精度特性

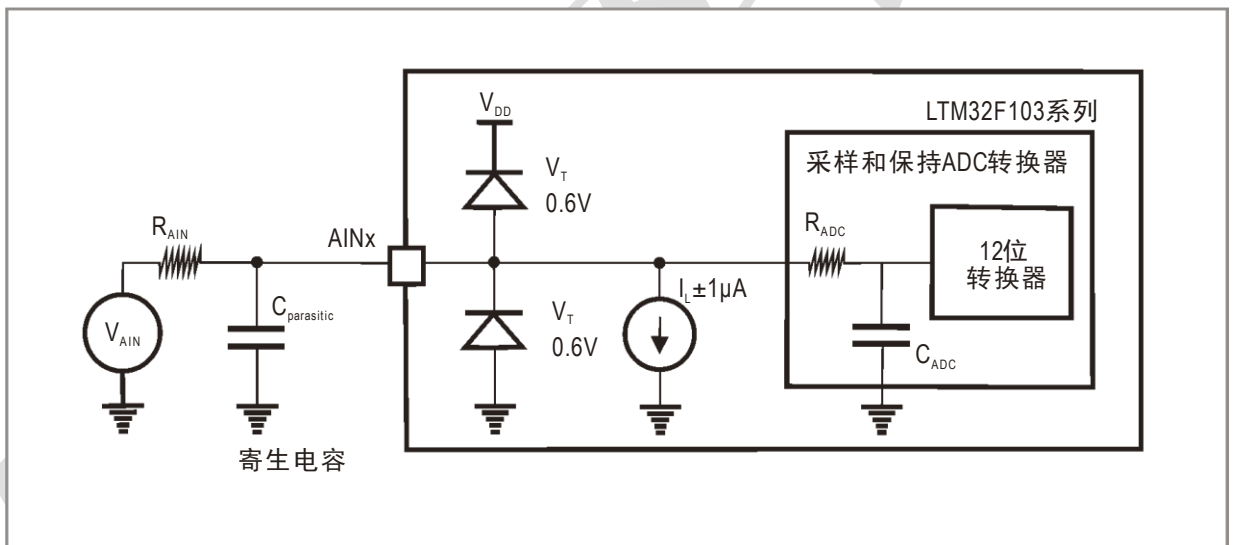


图 4-12 ADC 的典型连接图

3.2.19 DAC 电气特性

表 4-42 DAC 特性

符号	参数	最小值	典型值	最大值	单位	注释
V_{DD33A}	模拟供电电压	2.4		3.6	V	
V_{DD18D}	数字供电电压	1.6	1.8	2	V	
V_{REF+}	参考电压	2.4		3.6	V	V_{REF+} 必须始终低于 V_{DD33A}
V_{SSA}	地线	0		0	V	
R_L	缓冲器打开时的负载电阻	5			k Ω	DAC_OUT 和 V_{SSA} 之间的最小负载电阻
C_L	负载电容			50	pF	在 DAC_OUT 引脚上的最大电容
DAC_OUT 最小	缓冲器打开时低端的 DAC_OUT 电压	0.2			V	给出了最大的 DAC 输出跨度 当 $V_{REF+}=3.6V$ 对应于 12 位输入数值 0x0E0~0xF1C,
DAC_OUT 最大	缓冲器打开时高端的 DAC_OUT 电压			$V_{REF+}-0.2$	V	当 $V_{REF+}=2.4V$ 对应于 12 位输入数值 0x155~0xEAB。
I_{DD}	在静止模式(待机模式)DAC 直流消耗 ($V_{DD18D}+V_{DD33A}+V_{REF+}$)		425	600	μA	无负载, 输入中值 0x800
			500	700		无负载, 当 $V_{REF+}=3.6V$ 时输入最大值
I_{DDQ}	在断电模式 DAC 直流消耗 ($V_{DD18D}+V_{DD33A}+V_{REF+}$)		5	350	nA	无负载
	在断电模式 DAC 直流消耗 ($V_{DD33A}+V_{REF+}$)		5	200		
DNL	非线性失真(2 个连续代码间的偏差)		± 0.5		LSB	DAC 配置为 10 位(始终是 B1=B0=0)
INL	非线性积累(在代码 i 时测量的数值与代码 0 和代码 1023 之间的连线间的偏差)		± 1		LSB	DAC 配置为 10 位(始终是 B1=B0=0)
偏移	偏移误差(代码 0x800 时测量的数值与理想数值 $V_{REF+}/2$ 之间的偏差)		± 10		mV	DAC 配置为 10 位(始终是 B1=B0=0)
			± 3		LSB	$V_{REF+}=3.6V$ 时, DAC 配置为 10 位
增益误差	增益误差		± 0.5		%	DAC 配置为 10 位(始终是 B1=B0=0)
放大器增益	开环时放大器的增益	80	85		dB	5k Ω 的负载(最大负载)

3.2.20 温度传感器特性

表 4-43 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T_L	V_{SENSE} 相对于温度的线性度		± 1	± 2	$^{\circ}C$
Avg_Slope	平均斜率	4.0	4.3	4.6	mV/ $^{\circ}C$
V_{25}	在 25 $^{\circ}C$ 时的电压	1.34	1.43	1.52	V
t_{START}	建立时间	4		10	μs
T_{S_tamp}	当读取温度时, ADC 采样时间			17.1	μs

4 引脚分布定义

4.1 LQFP144 引脚分布

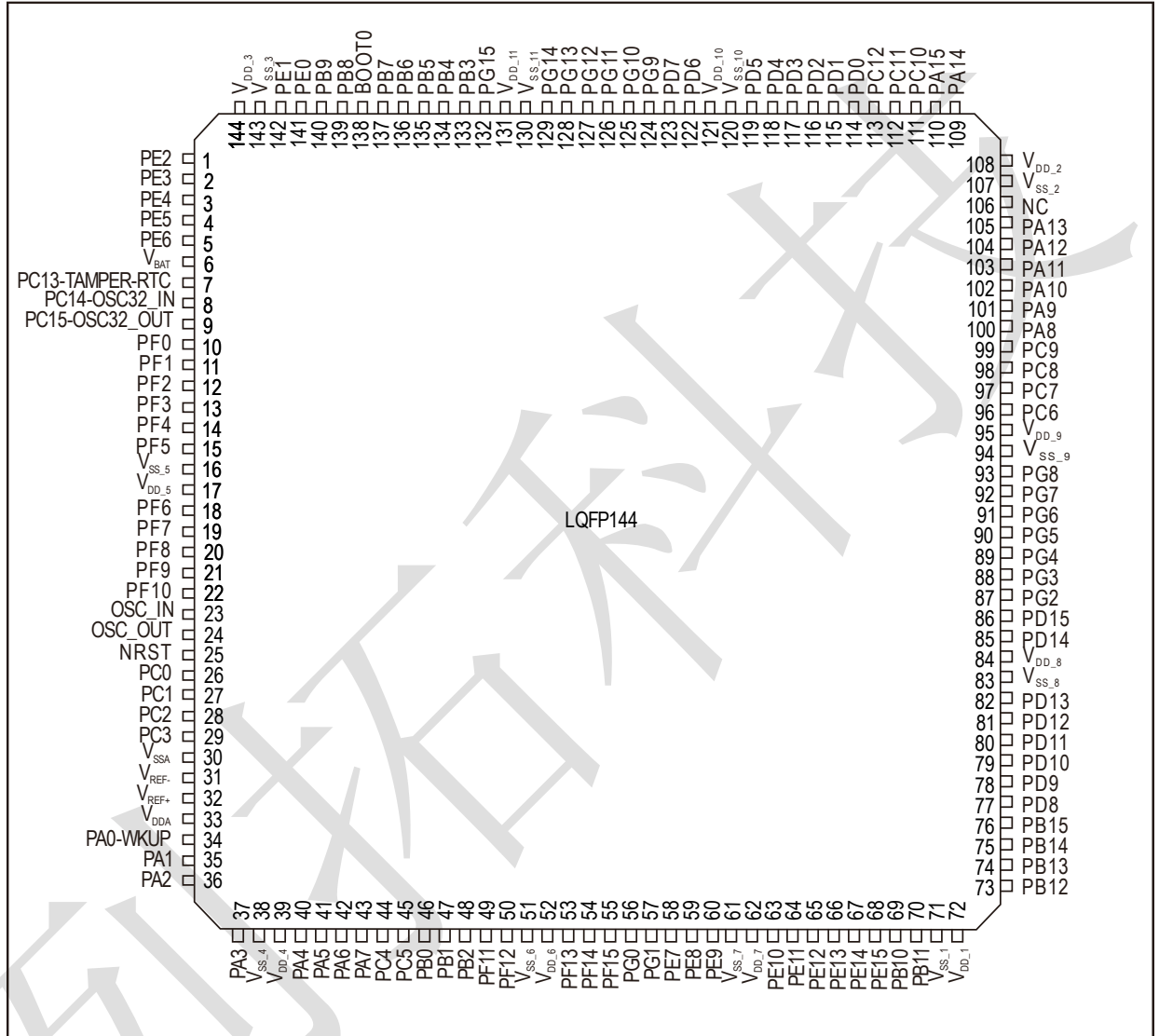


图 5-1 LQFP144 引脚分布

4.2 LQFP100 引脚分布

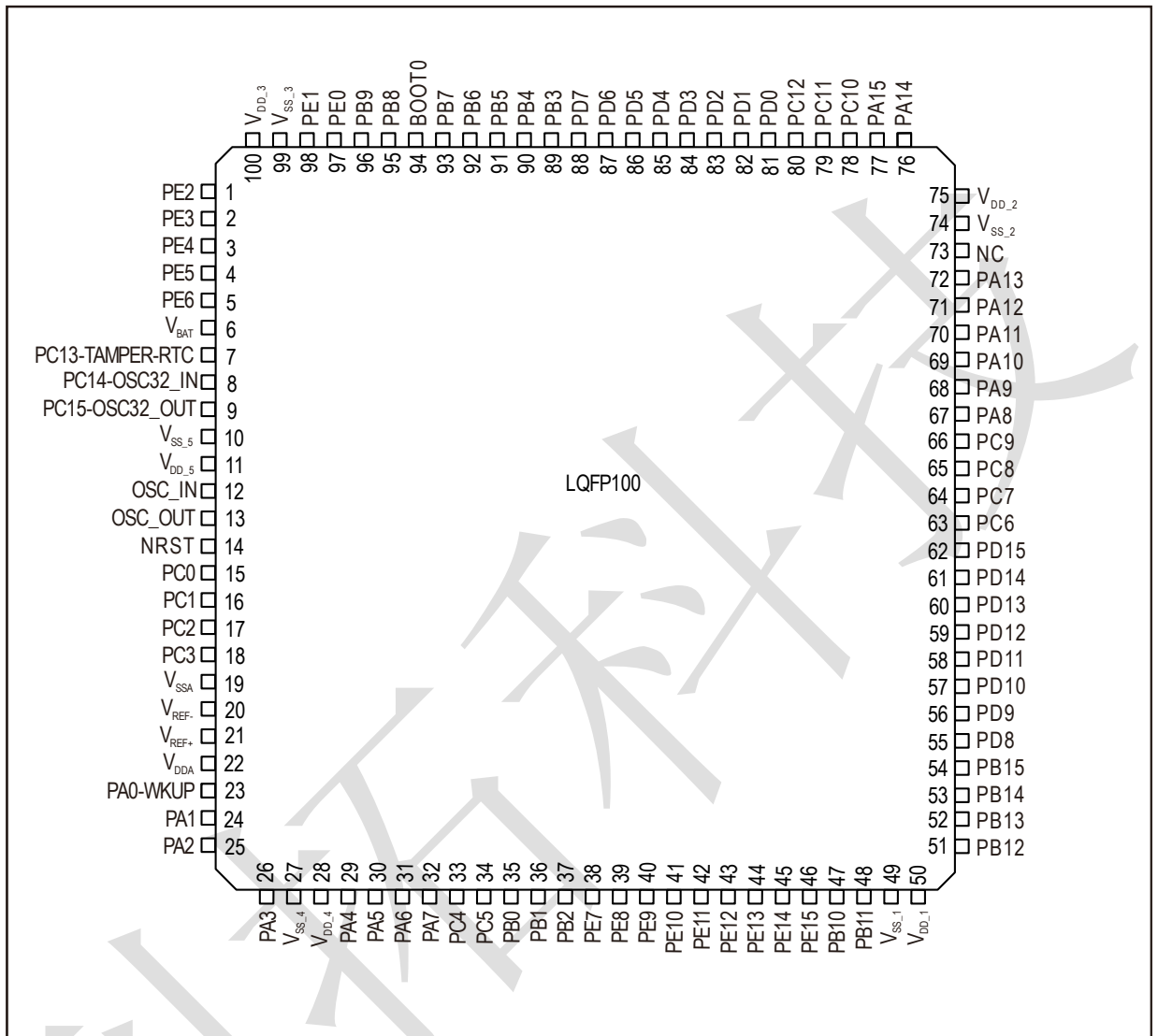


图 5-2 LQFP100 引脚分布

4.3 LQFP64 引脚分布

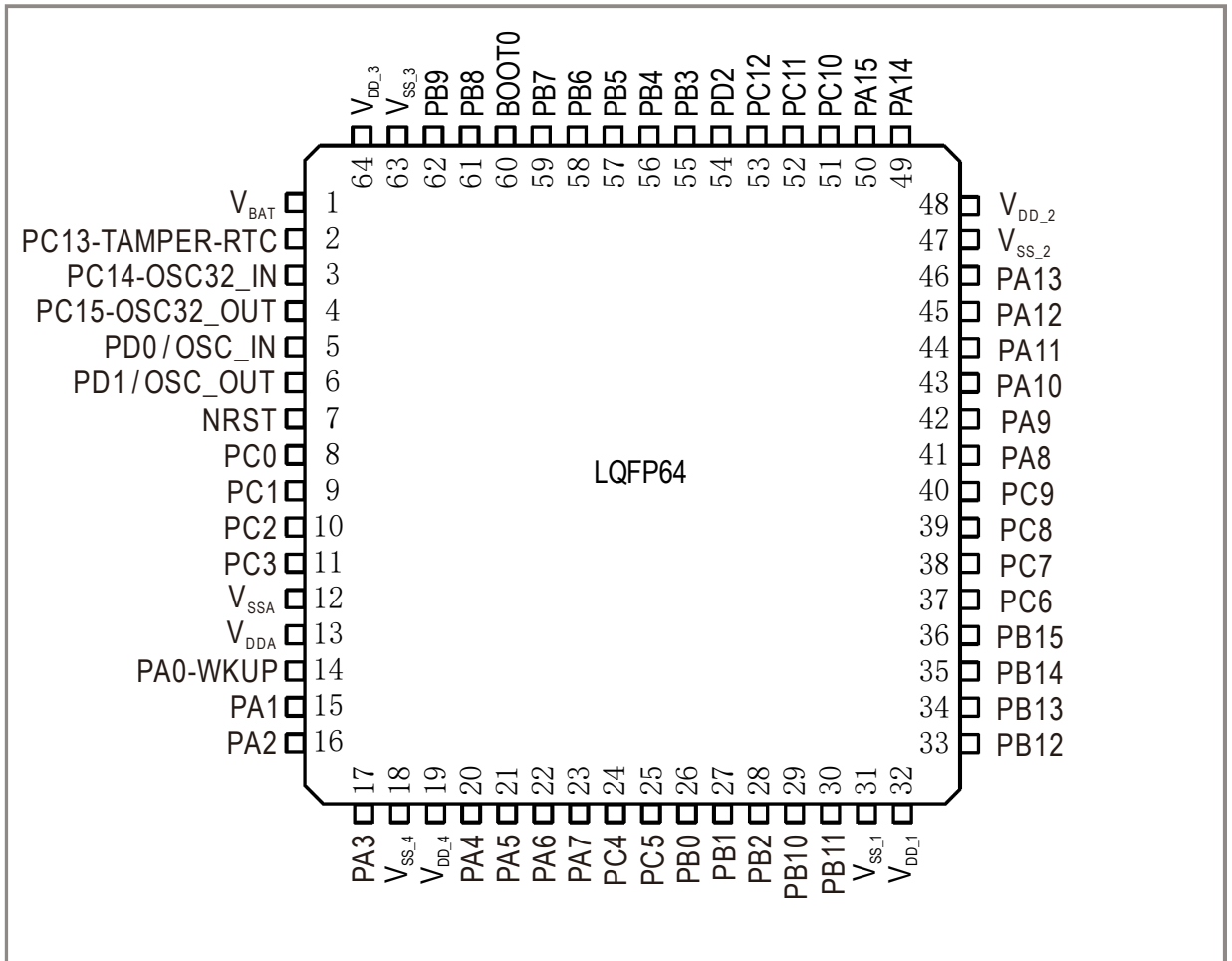


图 5-3 LQFP64 引脚分布

4.4 LQFP48 引脚分布

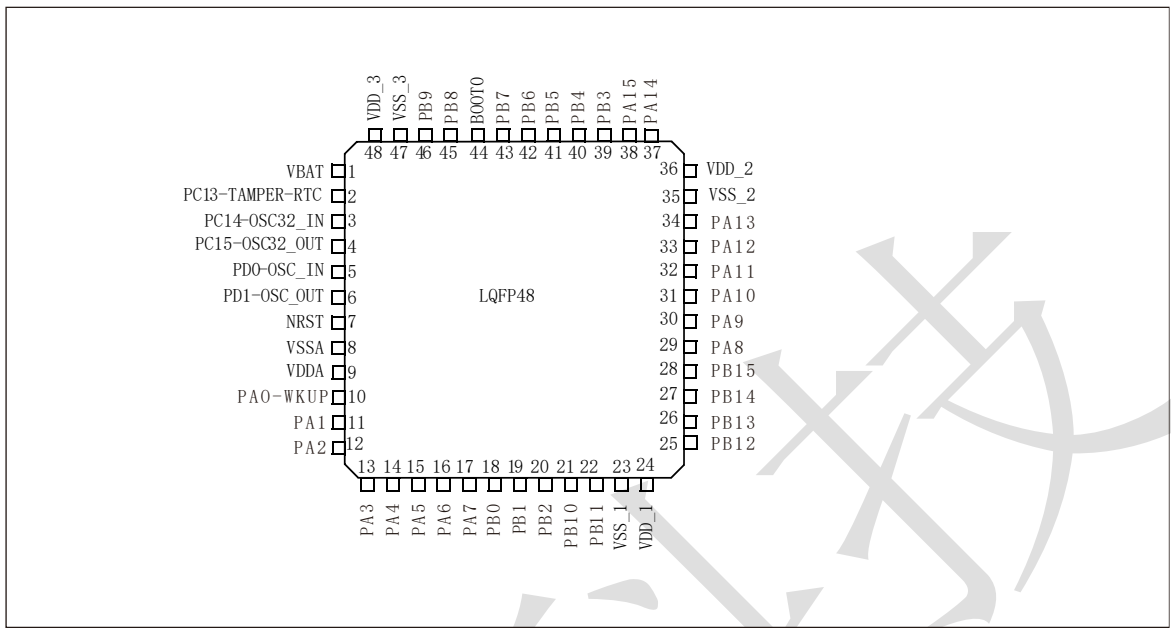


图 5-4 LQFP48 引脚分布

4.5 QFN48 引脚分布

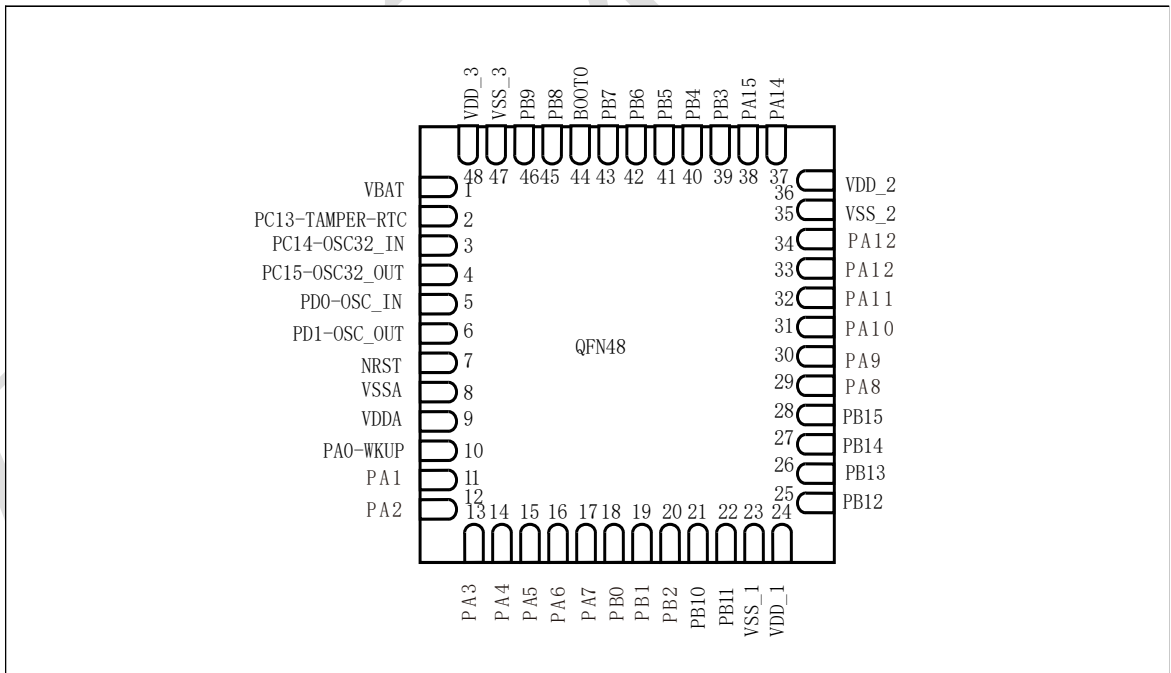


图 5-5 QFN48 引脚分布

4.6 QFN36 引脚分布

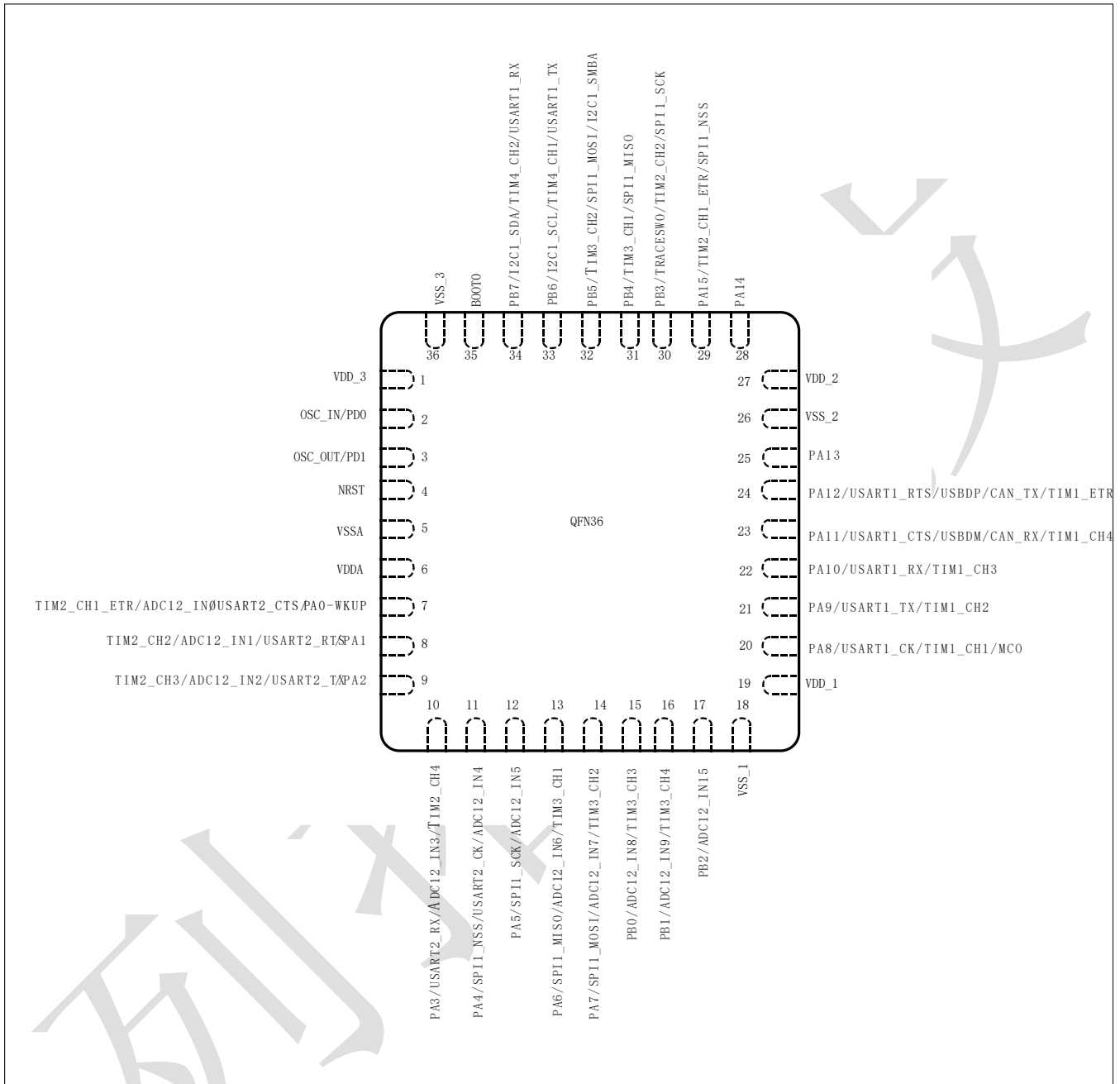


图 5-6 QFN36 引脚分布

4.7 引脚定义

表 5-1 大容量 LTM32F103 系列引脚定义

脚位			管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重映像功能
-	1	1	PE2	I/O	FT	PE2	TRACECK/FSMC_A23	
-	2	2	PE3	I/O	FT	PE3	TRACED0/FSMC_A19	
-	3	3	PE4	I/O	FT	PE4	TRACED1/FSMC_A20	
-	4	4	PE5	I/O	FT	PE5	TRACED2/FSMC_A21	
-	5	5	PE6	I/O	FT	PE6	TRACED3/FSMC_A22	
1	6	6	V _{BAT}	S		V _{BAT}		
2	7	7	PC13- TAMPER-RTC	I/O		PC13	TAMPER-RTC	
3	8	8	PC14- OSC32_IN	I/O		PC14	OSC32_IN	
4	9	9	PC15- OSC32_OUT	I/O		PC15	OSC32_OUT	
-	-	10	PF0	I/O	FT	PF0	FSMC_A0	
-	-	11	PF1	I/O	FT	PF1	FSMC_A1	
-	-	12	PF2	I/O	FT	PF2	FSMC_A2	
-	-	13	PF3	I/O	FT	PF3	FSMC_A3	
-	-	14	PF4	I/O	FT	PF4	FSMC_A4	
-	-	15	PF5	I/O	FT	PF5	FSMC_A5	
-	10	16	V _{SS_5}	S		V _{SS_5}		
-	11	17	V _{DD_5}	S		V _{DD_5}		
-	-	18	PF6	I/O		PF6	ADC3_IN4/FSMC_NIORD	
-	-	19	PF7	I/O		PF7	ADC3_IN5/FSMC_NREG	
-	-	20	PF8	I/O		PF8	ADC3_IN6/FSMC_NIOWR	
-	-	21	PF9	I/O		PF9	ADC3_IN7/FSMC_CD	
-	-	22	PF10	I/O		PF10	ADC3_IN8/FSMC_INTR	
5	12	23	OSC_IN	I		OSC_IN		
6	13	24	OSC_OUT	0		OSC_OUT		
7	14	25	NRST	I/O		NRST		
8	15	26	PC0	I/O		PC0	ADC123_IN10	
9	16	27	PC1	I/O		PC1	ADC123_IN11	
10	17	28	PC2	I/O		PC2	ADC123_IN12	
11	18	29	PC3	I/O		PC3	ADC123_IN13	
12	19	30	V _{SSA}	S		V _{SSA}		

表 5-1 大容量 LTM32F103 系列引脚定义(续 1)

脚位			管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重映像功能
-	20	31	V _{REF-}	S		V _{REF-}		
-	21	32	V _{REF+}	S		V _{REF+}		
13	22	33	V _{DDA}	S		V _{DDA}		
14	23	34	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS/ADC123_IN0/ TIM2_CH1_ETR/ TIM5_CH1/TIM8_ETR	
15	24	35	PA1	I/O		PA1	USART2_RTS/ ADC123_IN1/ TIM5_CH2/TIM2_CH2	
16	25	36	PA2	I/O		PA2	USART2_TX/ADC123_IN2/ TIM5_CH3/TIM2_CH3	
17	26	37	PA3	I/O		PA3	USART2_RX/ADC123_IN3/ TIM5_CH4/TIM2_CH4	
18	27	38	V _{SS_4}	S		V _{SS_4}		
19	28	39	V _{DD_4}	S		V _{DD_4}		
20	29	40	PA4	I/O		PA4	SPI1_NSS/USART2_CK/ ADC12_IN4/DAC_OUT1	
21	30	41	PA5	I/O		PA5	SPI1_SCK/ ADC12_IN5/DAC_OUT2	
22	31	42	PA6	I/O		PA6	SPI1_MISO/ADC12_IN6/ TIM8_BKIN/TIM3_CH1	
23	32	43	PA7	I/O		PA7	SPI1_MOSI/ADC12_IN7/ TIM8_CH1N/TIM3_CH2	
24	33	44	PC4	I/O		PC4	ADC12_IN14	
25	34	45	PC5	I/O		PC5	ADC12_IN15	
26	35	46	PB0	I/O		PB0	ADC12_IN8/ TIM8_CH2N/TIM3_CH3	
27	36	47	PB1	I/O		PB1	ADC12_IN9/ TIM8_CH3N/TIM3_CH4	
28	37	48	PB2	I/O	FT	PB2/BOOT1	-	
-	-	49	FP11	I/O	FT	FP11	FSMC_NIOS16	
-	-	50	FP12	I/O	FT	FP12	FSMC_A6	

表 5-1 大容量 LTM32F103 系列引脚定义 (续 2)

脚位			管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重映像功能
-	-	51	V _{SS_6}	S		V _{SS_6}		
-	-	52	V _{DD_6}	S		V _{DD_6}		
-	-	53	PF13	I/O	FT	PF13	FSMC_A7	
-	-	54	PF14	I/O	FT	PF14	FSMC_A8	
-	-	55	PF15	I/O	FT	PF15	FSMC_A9	
-	-	56	PG0	I/O	FT	PG0	FSMC_A10	
-	-	57	PG1	I/O	FT	PG1	FSMC_A11	
-	38	58	PE7	I/O	FT	PE7	FSMC_D4	TIM1_ETR
-	39	59	PE8	I/O	FT	PE8	FSMC_D5	TIM1_CH1N
-	40	60	PE9	I/O	FT	PE9	FSMC_D6	TIM1_CH1
-	-	61	V _{SS_7}	S		V _{SS_7}		
-	-	62	V _{DD_7}	S		V _{DD_7}		
	41	63	PE10	I/O	FT	PE10	FSMC_D7	TIM1_CH2N
	42	64	PE11	I/O	FT	PE11	FSMC_D8	TIM1_CH2
	43	65	PE12	I/O	FT	PE12	FSMC_D9	TIM1_CH3N
	44	66	PE13	I/O	FT	PE13	FSMC_D10	TIM1_CH3
	45	67	PE14	I/O	FT	PE14	FSMC_D11	TIM1_CH4
	46	68	PE15	I/O	FT	PE15	FSMC_D12	TIM1_BKIN
29	47	69	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX	TIM2_CH3
30	48	70	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX	TIM2_CH4
31	49	71	V _{SS_1}	S		V _{SS_1}		
32	50	72	V _{DD_1}	S		V _{DD_1}		
33	51	73	PB12	I/O	FT	PB12	SPI2_NSS/I2S2_WS/ I2C2_SMBA/USART3_CK/ TIM1_BKIN	
34	52	74	PB13	I/O	FT	PB13	SPI2_SCK/I2S2_CK/ USART3_CTS/ TIM1_CH1N	
35	53	75	PB14	I/O	FT	PB14	SPI2_MISO/USART3_RTS/ TIM1_CH2N	
36	54	76	PB15	I/O	FT	PB15	SPI2_MOSI/I2S2_SD/ TIM1_CH3N	

表 5-1 大容量 LTM32F103 系列引脚定义(续 3)

脚位			管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重映像功能
-	55	77	PD8	I/O	FT	PD8	FSMC_D13	USART3_TX
-	56	78	PD9	I/O	FT	PD9	FSMC_D14	USART3_RX
-	57	79	PD10	I/O	FT	PD10	FSMC_D15	USART3_CK
-	58	80	PD11	I/O	FT	PD11	FSMC_D16	USART3_CTS
-	59	81	PD12	I/O	FT	PD12	FSMC_D17	TIM_CH1/ USART3_RTS
-	60	82	PD13	I/O	FT	PD13	FSMC_D18	TIM4_CH2
-	-	83	V _{SS_8}	S		V _{SS_8}		
-	-	84	V _{DD_8}	S		V _{DD_8}		
-	61	85	PD14	I/O	FT	PD14	FSMC_D0	TIM4_CH3
-	62	86	PD15	I/O	FT	PD15	FSMC_D1	TIM4_CH4
-	-	87	PG2	I/O	FT	PG2	FSMC_A12	
-	-	88	PG3	I/O	FT	PG3	FSMC_A13	
-	-	89	PG4	I/O	FT	PG4	FSMC_A14	
-	-	90	PG5	I/O	FT	PG5	FSMC_A15	
-	-	91	PG6	I/O	FT	PG6	FSMC_INT2	
-	-	92	PG7	I/O	FT	PG7	FSMC_INT3	
-	-	93	PG8	I/O	FT	PG8		
-	-	94	V _{SS_9}	S		V _{SS_9}		
-	-	95	V _{DD_9}	S		V _{DD_9}		
37	63	96	PC6	I/O	FT	PC6	I2S2_MCK/TIM8_CH1/ SDIO_D6	TIM3_CH1
38	64	97	PC7	I/O	FT	PC7	I2S3_MCK/TIM8_CH2/ SDIO_D7	TIM3_CH2
39	65	98	PC8	I/O	FT	PC8	TIM8_CH3/SDIO_D0	TIM3_CH3
40	66	99	PC9	I/O	FT	PC9	TIM8_CH4/SDIO_D1	TIM3_CH4
41	67	100	PA8	I/O	FT	PA8	USART1_CK/ TIM1_CH1/MCO	
42	68	101	PA9	I/O	FT	PA9	USART1_TX/ TIM1_CH2	
43	69	102	PA10	I/O	FT	PA10	USART1_RX/ TIM1_CH3	

表 5-1 大容量 LTM32F103 系列引脚定义(续 4)

脚位			管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能		
LQFP64	LQFP100	LQFP144					默认复用功能	重映像功能	
44	70	103	PA11	I/O	FT	PA11	USART1_CTS/USBDM/ CAN_RX/TIM1_CH4		
45	71	104	PA12	I/O	FT	PA12	USART1_RTS/USBDP/ CAN_TX/TIM1_ETR		
46	72	105	PA13	I/O	FT	JTMS/ SWDIO		PA13	
-	73	106	未连接						
47	74	107	V _{SS_2}	S		V _{SS_2}			
48	75	108	V _{DD_2}	S		V _{DD_2}			
49	76	109	PA14	I/O	FT	JTCK/ SWCLK		PA14	
50	77	110	PA15	I/O	FT	JTDI	SPI3_NSS/I2S3_WS	TIM2_CH1_ETR/ PA15/ SPI1_NSS	
51	78	111	PC10	I/O	FT	PC10	UART4_TX/SDIO_D2	USART3_TX	
52	79	112	PC11	I/O	FT	PC11	UART4_RX/SDIO_D3	USART3_RX	
53	80	113	PC12	I/O	FT	PC12	UART5_TX/SDIO_CK	USART3_CK	
5	81	114	PD0	I/O	FT	PD0/ OSC_IN	FSMC_D2	CAN_RX	
6	82	115	PD1	I/O	FT	PD1/ OSC_OUT	FSMC_D3	CAN_TX	
54	83	116	PD2	I/O	FT	PD2	TIM3_ETR/UART5_RX/ SDIO_CMD		
-	84	117	PD3	I/O	FT	PD3	FSMC_CLK	USART2_CTS	
-	85	118	PD4	I/O	FT	PD4	FSMC_NOE	USART2_RTS	
-	86	119	PD5	I/O	FT	PD5	FSMC_NWE	USART2_TX	
-	-	120	V _{SS_10}	S		V _{SS_10}			
-	-	121	V _{DD_10}	S		V _{DD_10}			
-	87	122	PD6	I/O	FT	PD6	FSMC_NWAIT	USART2_RX	
-	88	123	PD7	I/O	FT	PD7	FSMC_NE1/FSMC_NCE2	USART2_CK	
-	-	124	PG9	I/O	FT	PG9	FSMC_NE2/FSMC_NCE3		
-	-	125	PG10	I/O	FT	PG10	FSMC_NE3/FSMC_NCE4_1		
-	-	126	PG11	I/O	FT	PG11	FSMC_NCE4_2		

表 5-1 大容量 LTM32F103 系列引脚定义(续 5)

脚位			管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
LQFP64	LQFP100	LQFP144					默认复用功能	重映像功能
-	-	127	PG12	I/O	FT	PG12	FSMC_NE4	
-	-	128	PG13	I/O	FT	PG13	FSMC_A24	
-	-	129	PG14	I/O	FT	PG14	FSMC_A25	
-	-	130	V _{SS_11}	S		V _{SS_11}		
-	-	131	V _{DD_11}	S		V _{DD_11}		
-	-	132	PG15	I/O	FT	PG15		
55	89	133	PB3	I/O	FT	JTDO	SPI3_SCK/I2S3_CK	PB3/ TRACESWO/ TIM2_CH2/ SPI1_SCK
56	90	134	PB4	I/O	FT	NJTRST	SPI3_MISO	PB4/ TIM3_CH1/ SPI1_MISO
57	91	135	PB5	I/O		PB5	I2C1_SMBA/ SPI3_MOSI/I2S3_SD	TIM3_CH2/ SPI1_MOSI
58	92	136	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
59	93	137	PB7	I/O	FT	PB7	I2C1_SDA/FSMC_NADV/ TIM4_CH2	USART1_RX
60	94	138	BOOT0	I		BOOT0		
61	95	139	PB8	I/O	FT	PB8	TIM4_CH3/SDIO_D4	I2C1_SCL/ CAN_RX
62	96	140	PB9	I/O	FT	PB9	TIM4_CH4/SDIO_D5	I2C1_SDA/ CAN_TX
-	97	141	PE0	I/O	FT	PE0	TIM4_ETR/FSMC_NBL0	
-	98	142	PE1	I/O	FT	PE1	FSMC_NBL1	
63	99	143	V _{SS_3}	S		V _{SS_3}		
64	100	144	V _{DD_3}	S		V _{DD_3}		

注:

1. I=输入, O=输出, S=电源, FT=容忍 5V
2. PC13、PC14、PC15 引脚通过电源开关进行供电, 只能吸收有限的电流(3mA); 所以这 3 个引脚作为输出引脚时有以下限制:
再同一时间只能由一个引脚被作为输出, 作为输出脚时只能工作在 2MHz 模式下, 最大驱动负载为 30pF, 且不能作为电流源
3. PC13、PC14、PC15 这些引脚在备份域第一次上电时处于主功能状态, 之后即使复位, 这些引脚的状态也由备份区域寄存器控制(备份域寄存器不会被系统复位所复位)
4. LQFP64 封装的引脚 5 和引脚 6 在芯片复位后的默认配置为 OSC_IN 和 OSC_OUT, 可以通过软件将这两个引脚配置为 PD0 和 PD1 功能; LQFP100 和 LQFP144 封装, 内置了独立的 PD0 与 PD1 引脚, 不与 OSC_IN 和 OSC_OUT 共用, 因此不必进行重映像设置
5. LQFP64 封装芯片, 由于引脚不足, 所以没有 FSMC 功能
6. 表中的引脚名称标注中出现的 ADC12_INx, 表示这个引脚既可以是 ADC1_INx, 也可以是 ADC2_INx, 同样的, ADC123_Inx 表示可以是 ADC1_INx 或 ADC2_INx 或 ADC3_INx。

5-2 中容量 LTM32F103 系列引脚定义

脚位				管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
QFN36	LQFP48/ QFN48	LQFP64	LQFP100					默认复用功能	重映像功能
-	-	-	1	PE2	I/O	FT	PE2	TRACECK	
-	-	-	2	PE3	I/O	FT	PE3	TRACED0	
-	-	-	3	PE4	I/O	FT	PE4	TRACED1	
-	-	-	4	PE5	I/O	FT	PE5	TRACED2	
-	-	-	5	PE6	I/O	FT	PE6	TRACED3	
-	1	1	6	V _{BAT}	S		V _{BAT}		
-	2	2	7	PC13- TAMPER-RTC	I/O		PC13	TAMPER-RTC	
-	3	3	8	PC14- OSC32_IN	I/O		PC14	OSC32_IN	
-	4	4	9	PC15- OSC32_OUT	I/O		PC15	OSC32_OUT	
-	-	-	10	V _{SS_5}	S		V _{SS_5}		
-	-	-	11	V _{DD_5}	S		V _{DD_5}		
2	5	5	12	OSC_IN	I		OSC_IN		
3	6	6	13	OSC_OUT	O		OSC_OUT		
4	7	7	14	NRST	I/O		NRST		
-	-	8	15	PC0	I/O		PC0	ADC123_IN10	
-	-	9	16	PC1	I/O		PC1	ADC123_IN11	
-	-	10	17	PC2	I/O		PC2	ADC123_IN12	
-	-	11	18	PC3	I/O		PC3	ADC123_IN13	
5	8	12	19	V _{SSA}	S		V _{SSA}		
-	-	-	20	V _{REF-}	S	-	V _{REF-}		
-	-	-	21	V _{REF+}	S		V _{REF+}		
6	9	13	22	VDDA	S		VDDA		
7	10	14	23	PA0-WKUP	I/O		PA0	WKUP/USART2_CTS/ ADC12_IN0/ TIM2_CH1_ETR	
8	11	15	24	PA1	I/O		PA1	USART2_RTS/ ADC12_IN1/ TIM2_CH2	
9	12	16	25	PA2	I/O		PA2	USART2_TX/ADC12_IN2/ TIM2_CH3	
10	13	17	26	PA3	I/O		PA3	USART2_RX/ADC12_IN3/ TIM2_CH4	
-	-	18	27	VSS_4	S		VSS_4		
-	-	19	28	VDD_4	S		VDD_4		
11	14	20	29	PA4	I/O		PA4	SPI1_NSS/USART2_CK/ ADC12_IN4	

表 5-2 中容量 LTM32F103 系列引脚定义(续 1)

脚位				管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
QFN36	LQFP48/ QFN48	LQFP64	LQFP100					默认复用功能	重映像功能
12	15	21	30	PA5	I/O		PA5	SPI1_SCK/ ADC12_IN5	
13	16	22	31	PA6	I/O		PA6	SPI1_MISO/ADC12_IN6/ TIM3_CH1	
14	17	23	32	PA7	I/O		PA7	SPI1_MOSI/ADC12_IN7/ TIM3_CH2	
-	-	24	33	PC4	I/O		PC4	ADC12_IN14	
-	-	25	34	PC5	I/O		PC5	ADC12_IN15	
15	18	26	35	PB0	I/O		PB0	ADC12_IN8/ TIM3_CH3	
16	19	27	36	PB1	I/O		PB1	ADC12_IN9/ TIM3_CH4	
17	20	28	37	PB2	I/O	FT	PB2/BOOT1	ADC12_IN15	
-	-	-	38	PE7	I/O	FT	PE7	-	TIM1_ETR
-	-	-	39	PE8	I/O	FT	PE8	-	TIM1_CH1N
-	-	-	40	PE9	I/O	FT	PE9	-	TIM1_CH1
-	-	-	41	PE10	I/O	FT	PE10	-	TIM1_CH2N
-	-	-	42	PE11	I/O	FT	PE11	-	TIM1_CH2
-	-	-	43	PE12	I/O	FT	PE12	-	TIM1_CH3N
-	-	-	44	PE13	I/O	FT	PE13	-	TIM1_CH3
-	-	-	45	PE14	I/O	FT	PE14	-	TIM1_CH4
-	-	-	46	PE15	I/O	FT	PE15	-	TIM1_BKIN
-	21	29	47	PB10	I/O	FT	PB10	I2C2_SCL/USART3_TX	TIM2_CH3
-	22	30	48	PB11	I/O	FT	PB11	I2C2_SDA/USART3_RX	TIM2_CH4
18	23	31	49	VSS_1	S		VSS_1		
19	24	32	50	VDD_1	S		VDD_1		
-	25	33	51	PB12	I/O	FT	PB12	SPI2_NSS/ I2C2_SMBA/USART3_CK/ TIM1_BKIN	
-	26	34	52	PB13	I/O	FT	PB13	SPI2_SCK/ USART3_CTS/ TIM1_CH1N	
-	27	35	53	PB14	I/O	FT	PB14	SPI2_MISO/USART3_RTS/ TIM1_CH2N	
-	28	36	54	PB15	I/O	FT	PB15	SPI2_MOSI/ TIM1_CH3N	
-	-	-	55	PD8	I/O	FT	PD8	-	USART3_TX
-	-	-	56	PD9	I/O	FT	PD9	-	USART3_RX
-	-	-	57	PD10	I/O	FT	PD10	-	USART3_CK

表 5-2 中容量 LTM32F103 系列引脚定义 (续 2)

脚位				管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
QFN36	LQFP48/ QFN48	LQFP64	LQFP100					默认复用功能	重映像功能
-	-	-	58	PD11	I/O	FT	PD11	-	USART3_CTS
-	-	-	59	PD12	I/O	FT	PD12	-	TIM_CH1/ USART3_RTS
-	-	-	60	PD13	I/O	FT	PD13	-	TIM4_CH2
-	-	-	61	PD14	I/O	FT	PD14	-	TIM4_CH3
-	-	-	62	PD15	I/O	FT	PD15	-	TIM4_CH4
-	-	37	63	PC6	I/O	FT	PC6	-	TIM3_CH1
-	-	38	64	PC7	I/O	FT	PC7	-	TIM3_CH2
-	-	39	65	PC8	I/O	FT	PC8	-	TIM3_CH3
-	-	40	66	PC9	I/O	FT	PC9	-	TIM3_CH4
20	29	41	67	PA8	I/O	FT	PA8	USART1_CK/ TIM1_CH1/MCO	
21	30	42	68	PA9	I/O	FT	PA9	USART1_TX/ TIM1_CH2	
22	31	43	69	PA10	I/O	FT	PA10	USART1_RX/ TIM1_CH3	
23	32	44	70	PA11	I/O	FT	PA11	USART1_CTS/USBDM/ CAN_RX/TIM1_CH4	
24	33	45	71	PA12	I/O	FT	PA12	USART1_RTS/USBDM/ CAN_TX/TIM1_ETR	
25	34	46	72	PA13	I/O	FT	JTMS/ SWDIO		PA13
-	-	-	73	未连接					
26	35	47	74	V _{SS_2}	S		V _{SS_2}		
27	36	48	75	V _{DD_2}	S		V _{DD_2}		
28	37	49	76	PA14	I/O	FT	JTCK/ SWCLK		PA14
29	38	50	77	PA15	I/O	FT	JTDI	-	TIM2_CH1_ETR/ PA15/ SPI1_NSS
-	-	51	78	PC10	I/O	FT	PC10	-	USART3_TX
-	-	52	79	PC11	I/O	FT	PC11	-	USART3_RX
-	-	53	80	PC12	I/O	FT	PC12	-	USART3_CK
2	-	-	81	PD0	I/O	FT	PD0	-	CAN_RX
3	-	-	82	PD1	I/O	FT	PD1	-	CAN_TX
-	-	54	83	PD2	I/O	FT	PD2	TIM3_ETR	
-	-	-	84	PD3	I/O	FT	PD3	-	USART2_CTS
-	-	-	85	PD4	I/O	FT	PD4	-	USART2_RTS
-	-	-	86	PD5	I/O	FT	PD5	-	USART2_TX
-	-	-	87	PD6	I/O	FT	PD6	-	USART2_RX
-	-	-	88	PD7	I/O	FT	PD7	-	USART2_CK
30	39	55	89	PB3	I/O	FT	JTDO	-	PB3/ TRACESWO/ TIM2_CH2/ SPI1_SCK

表 5-2 中容量 LTM32F103 系列引脚定义(续 3)

脚位				管脚名称	类型	I/O 电平	主功能 (复位后)	可选的复用功能	
QFN36	LQFP48/ QFN48	LQFP64	LQFP100					默认复用功能	重映像功能
31	40	56	90	PB4	I/O	FT	NJTRST	-	PB4/ TIM3_CH1/ SPI1_MISO
32	41	57	91	PB5	I/O		PB5	I2C1_SMBA	TIM3_CH2/ SPI1_MOSI
33	42	58	92	PB6	I/O	FT	PB6	I2C1_SCL/TIM4_CH1	USART1_TX
34	43	59	93	PB7	I/O	FT	PB7	I2C1_SDA/TIM4_CH2	USART1_RX
35	44	60	94	BOOT0	I		BOOT0		
-	45	61	95	PB8	I/O	FT	PB8	TIM4_CH3	I2C1_SCL/ CAN_RX
-	46	62	96	PB9	I/O	FT	PB9	TIM4_CH4	I2C1_SDA/ CAN_TX
-	-	-	97	PE0	I/O	FT	PE0	TIM4_ETR	
-	-	-	98	PE1	I/O	FT	PE1	-	
36	47	63	99	V _{SS_3}	S		V _{SS_3}	-	
-	48	64	100	V _{DD_3}	S		V _{DD_3}	-	

- 注:
1. I=输入, O=输出, S=电源, FT=容忍 5V
 2. 功能可用性取决于所选设备。对于外设数量较少的设备, 总是包含较低数量的外设。例如, 如果一个设备只有一个 SPI 和两个 usart, 则分别称为 SPI1 和 USART1、USART2
 3. PC13、PC14、PC15 引脚通过电源开关进行供电, 只能够吸收有限的电流 (3mA); 所以这 3 个引脚作为输出引脚时有以下限制: 在同一时间只能由一个引脚被作为输出, 作为输出脚时只能工作在 2MHz 模式下, 最大驱动负载为 30pF, 且不能作为电流源
 4. PC13、PC14、PC15 这些引脚在备份域第一次上电时处于主功能状态, 之后即使复位, 这些引脚的状态也由备份区域寄存器控制 (备份域寄存器不会被系统复位所复位);
 5. QFN36、QFN48、LQFP48 和 LQFP64 封装的引脚 5 和引脚 6 在芯片复位后的默认配置为 OSC_IN 和 OSC_OUT, 可以通过软件将这两个引脚配置为 PDO 和 PD1 功能; 对于 LQFP100 封装, 内置了独立的 PDO 与 PD1 引脚, 不与 OSC_IN 和 OSC_OUT 共用, 因此不必进行重映像设置
 6. 表中的引脚名称标注中出现的 ADC12_INx, 表示这个引脚既可以是 ADC1_INx, 也可以是 ADC2_INx。

5 封装尺寸

5.1 LQFP144 (20×20mm) 封装尺寸

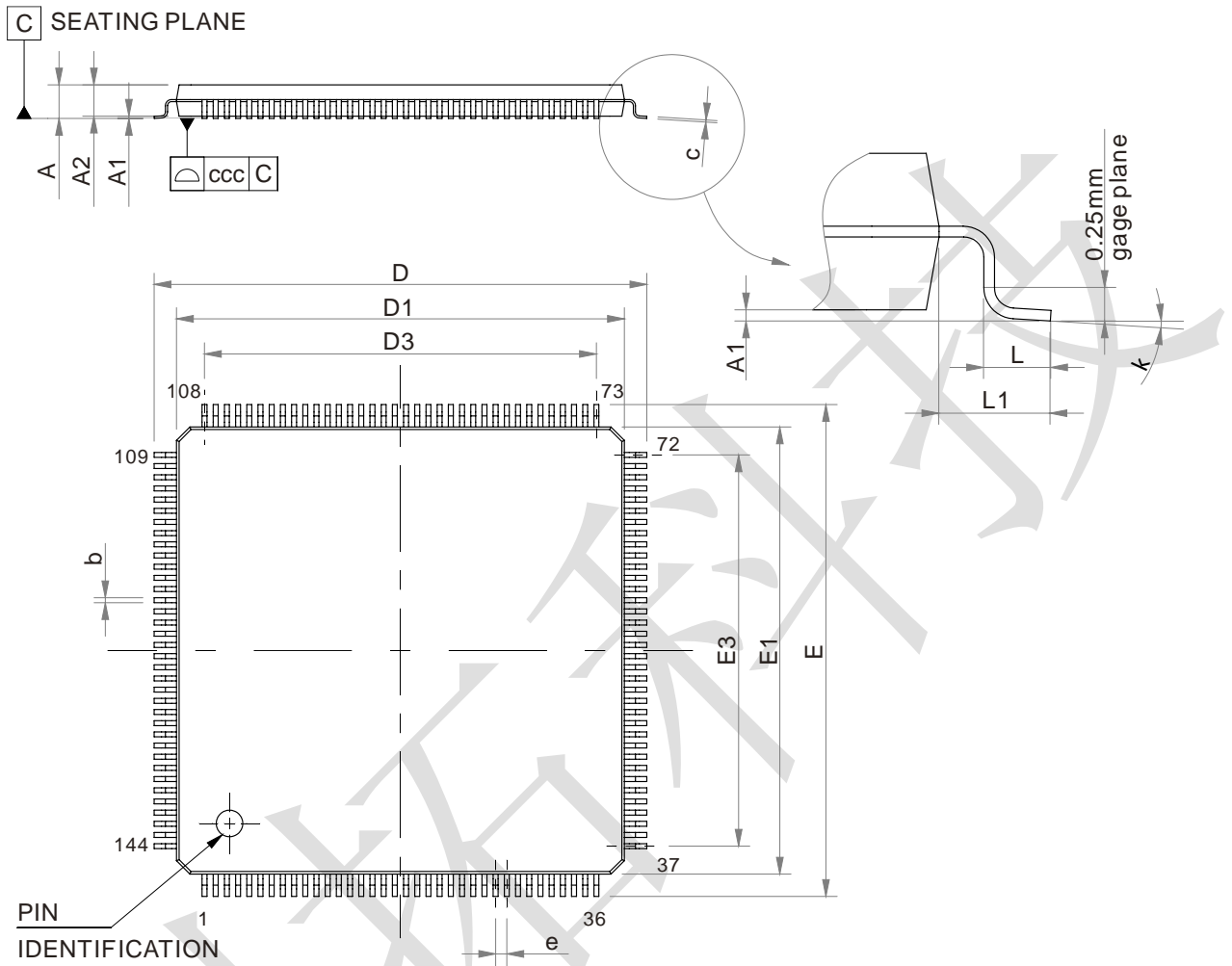


图 6-1 LQFP144 封装图

表 6-1 LQFP144 (20×20mm) 封装数据

标号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.60			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
c	0.09		0.20	0.0035		0.0079
D	21.80	22.00	22.20	0.8583	0.8661	0.874
D1	19.80	20.00	20.20	0.7795	0.7874	0.7953
D3		17.50			0.689	
E	21.80	22.00	22.20	0.8583	0.8661	0.874
E1	19.80	20.00	20.20	0.7795	0.7874	0.7953
E3		17.50			0.689	
e		0.50			0.0197	
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0°	3.5°	7°	0°	3.5°	7°
ccc		0.08			0.0031	

LQFP144 封装芯片的 PCB 推荐安装尺寸:

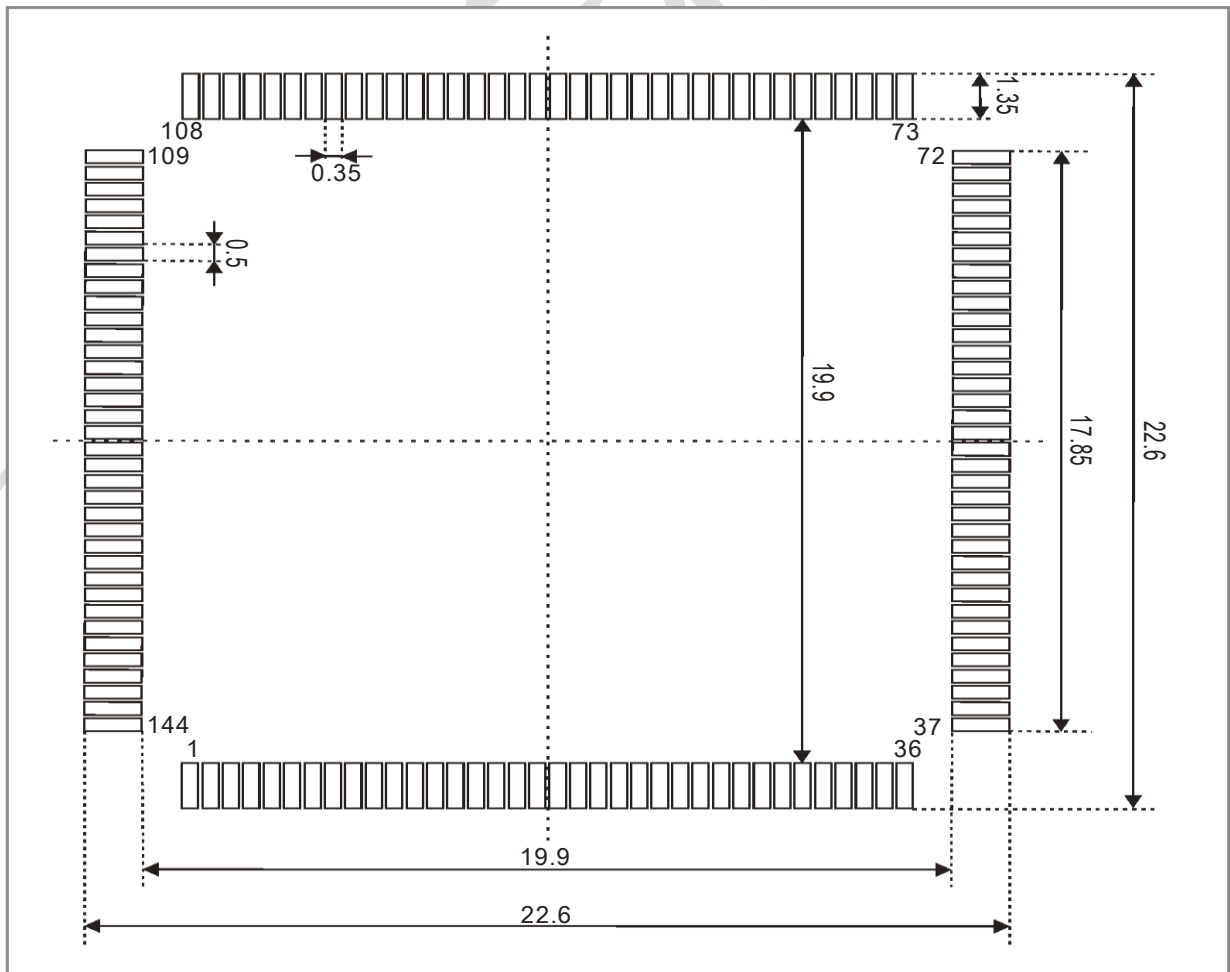


图 6-2 LQFP144 芯片的 PCB 安装尺寸图

5.2 LQFP100 (14×14mm) 封装尺寸

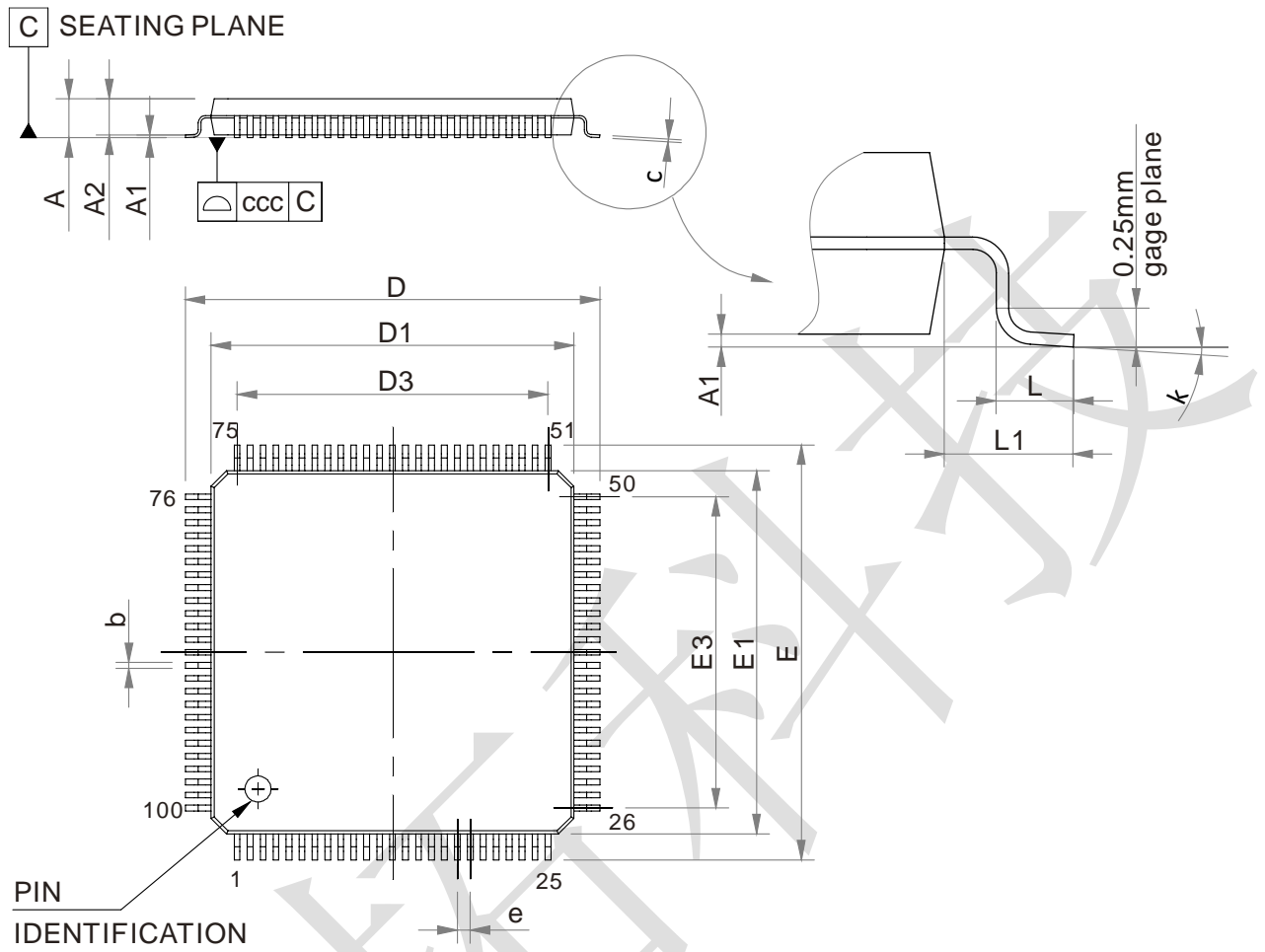


图 6-3 LQFP100 封装图

表 6-2 LQFP100(14×14mm)封装数据

标号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.60			0.063
A1	0.05		0.15	0.002		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
c	0.09		0.20	0.0035		0.0079
D	15.80	16.00	16.20	0.622	0.6299	0.6378
D1	13.80	14.00	14.20	0.5433	0.5512	0.5591
D3		12.00			0.4724	
E	15.80	16.00	16.20	0.622	0.6299	0.6378
E1	13.80	14.00	14.20	0.5433	0.5512	0.5591
E3		12.00			0.4724	
e		0.50			0.0197	
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
k	0°	3.5°	7°	0°	3.5°	7°
ccc		0.08			0.0031	

LQFP100 封装芯片的 PCB 推荐安装尺寸:

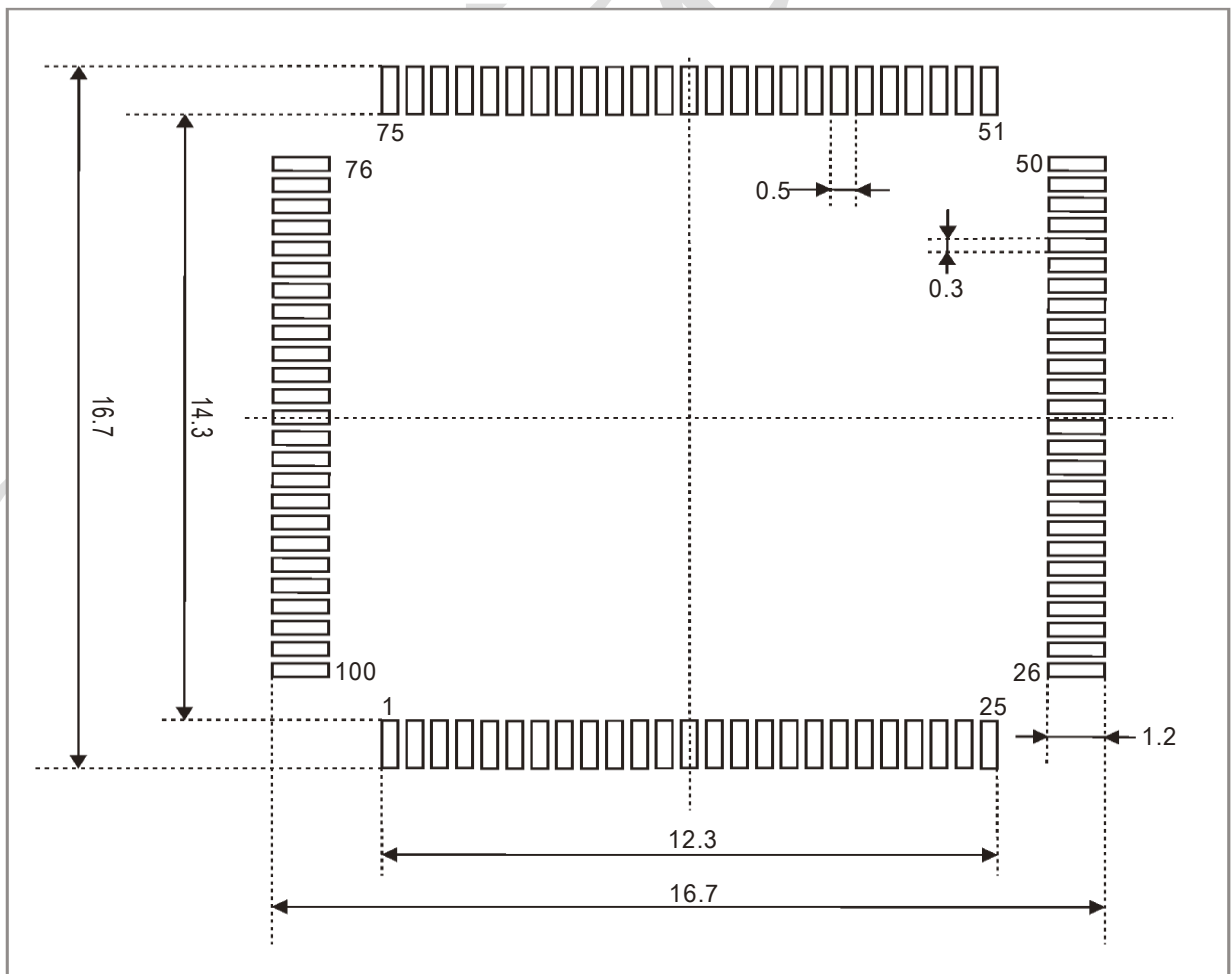


图 6-4 LQFP100 芯片的 PCB 安装尺寸图

5.3 LQFP64(10×10mm)封装尺寸

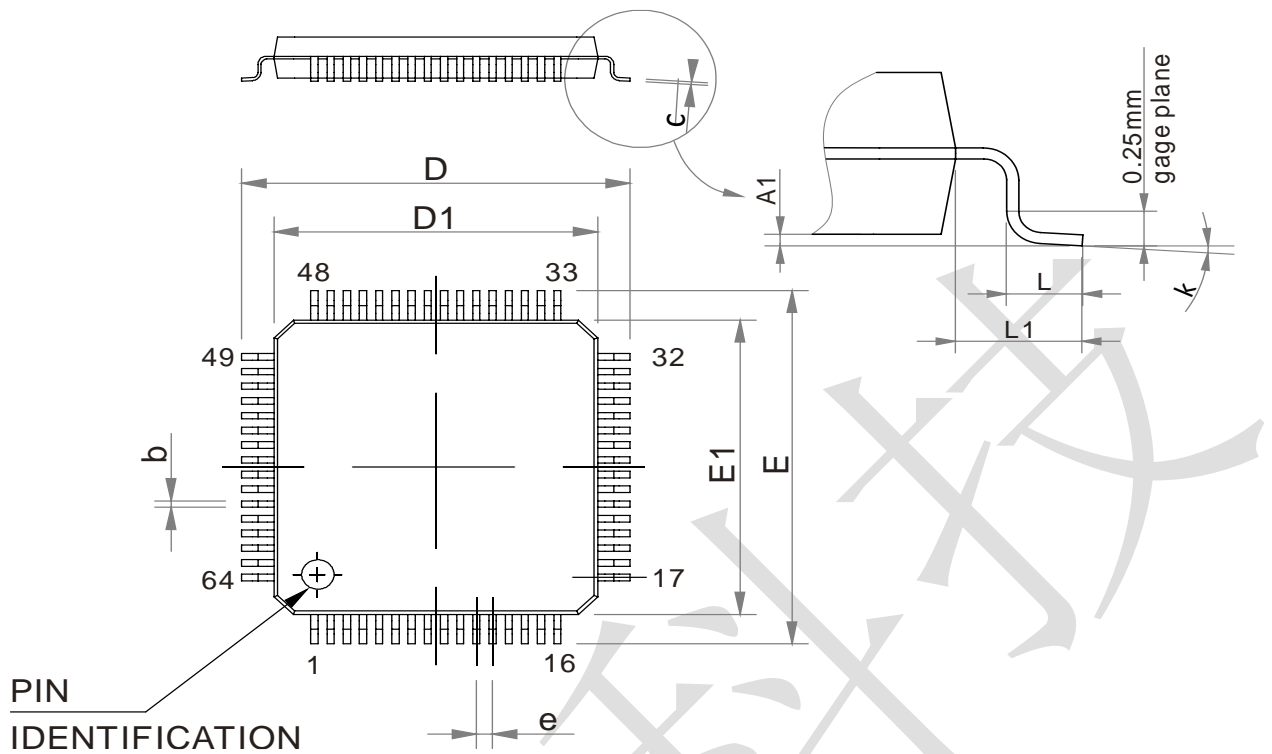


图 6-5 LQFP64 封装图

表 6-3 LQFP64(10×10mm)封装数据

标号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.60			0.0630
A1	0.05		0.15	0.0020		0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b	0.17	0.22	0.27	0.0067	0.0087	0.0106
c	0.09		0.20	0.0035		0.0079
D		12.00			0.4724	
D1		10.00			0.3937	
E		12.00			0.4724	
E1		10.00			0.3937	
e		0.50			0.0197	
θ	0°	3.5°	7°	0°	3.5°	7°
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1		1.00			0.0394	
N	引脚数目 = 64					

LQFP64 封装芯片的 PCB 推荐安装尺寸：

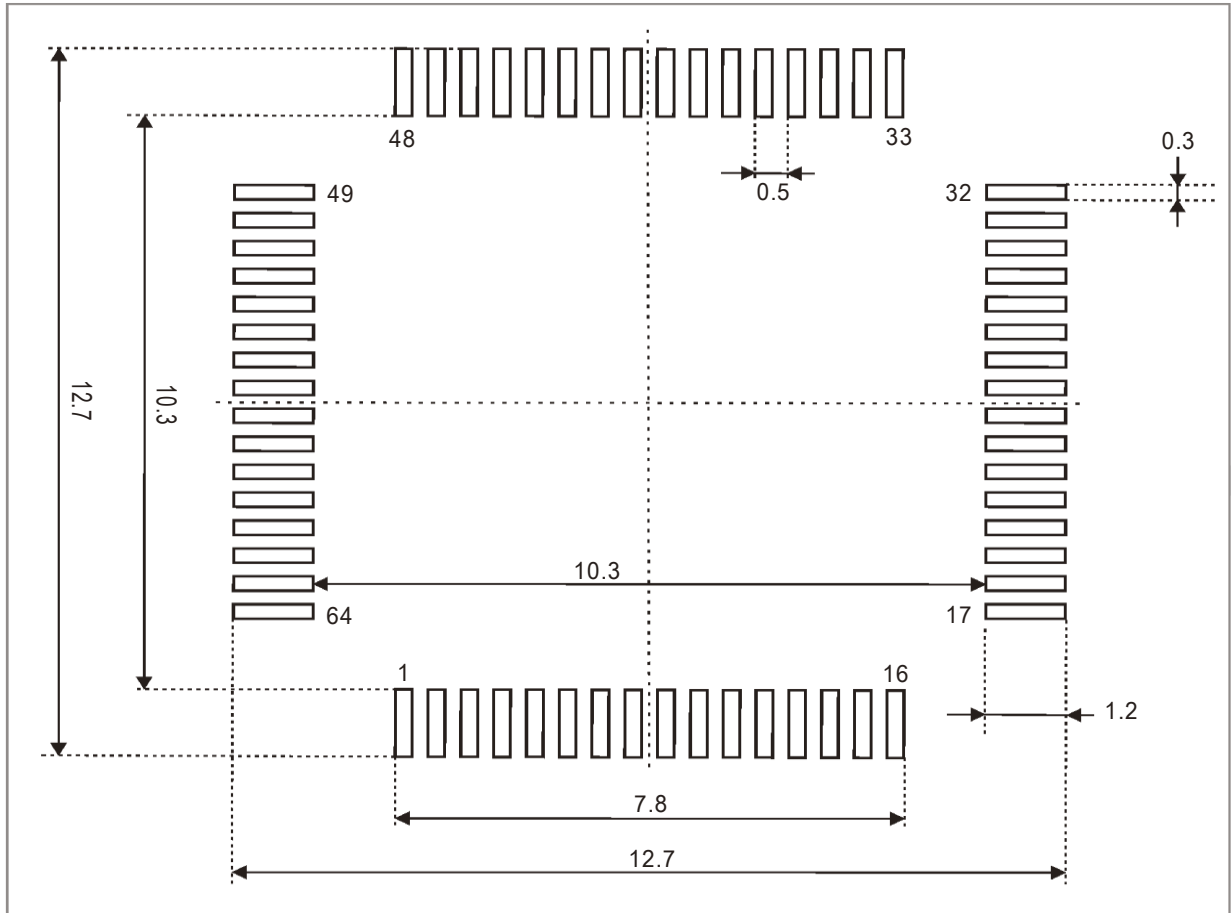


图 6-6 LQFP64 芯片的 PCB 安装尺寸图

5.4 LQFP48 (7×7mm) 封装尺寸

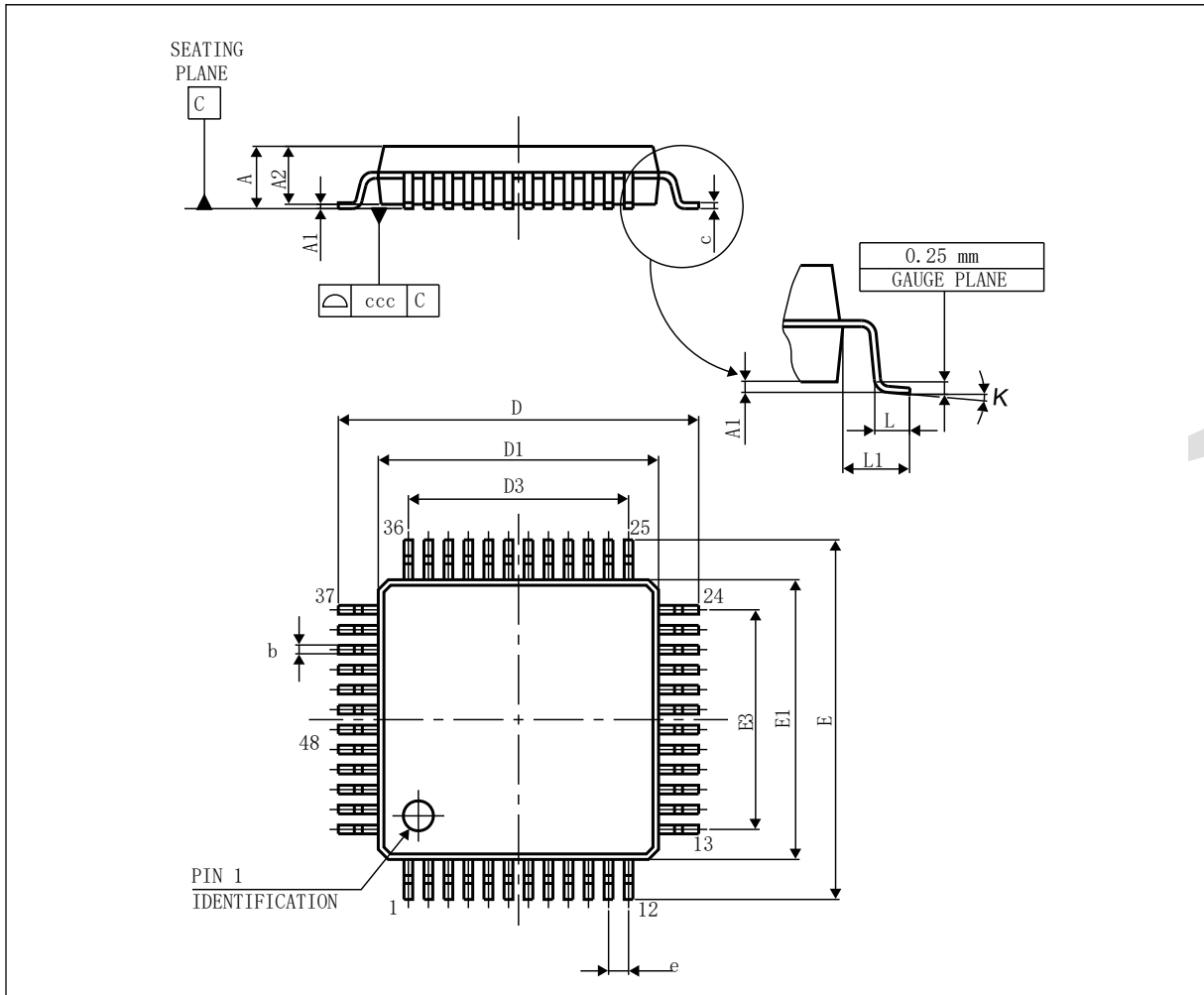


图 6-7 LQFP48 封装图

表 6-4 LQFP48 (7×7mm) 封装数据

标号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A			1.600			0.0630
A1	0.050		0.150	0.0020		0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.09	-	0.200	0.0035		0.0079
D	8.800	9.000	7.200	0.2677	0.2756	0.2835
D1	6.800	7.000			0.3937	-
D3	-	5.500	-	-	0.2165	
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	
E3	-	5.500	-	-	0.2165	-
e	-	0.500	-	-	0.0197	-
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.080	-	-	0.0031

LQFP48 封装芯片的 PCB 推荐安装尺寸：

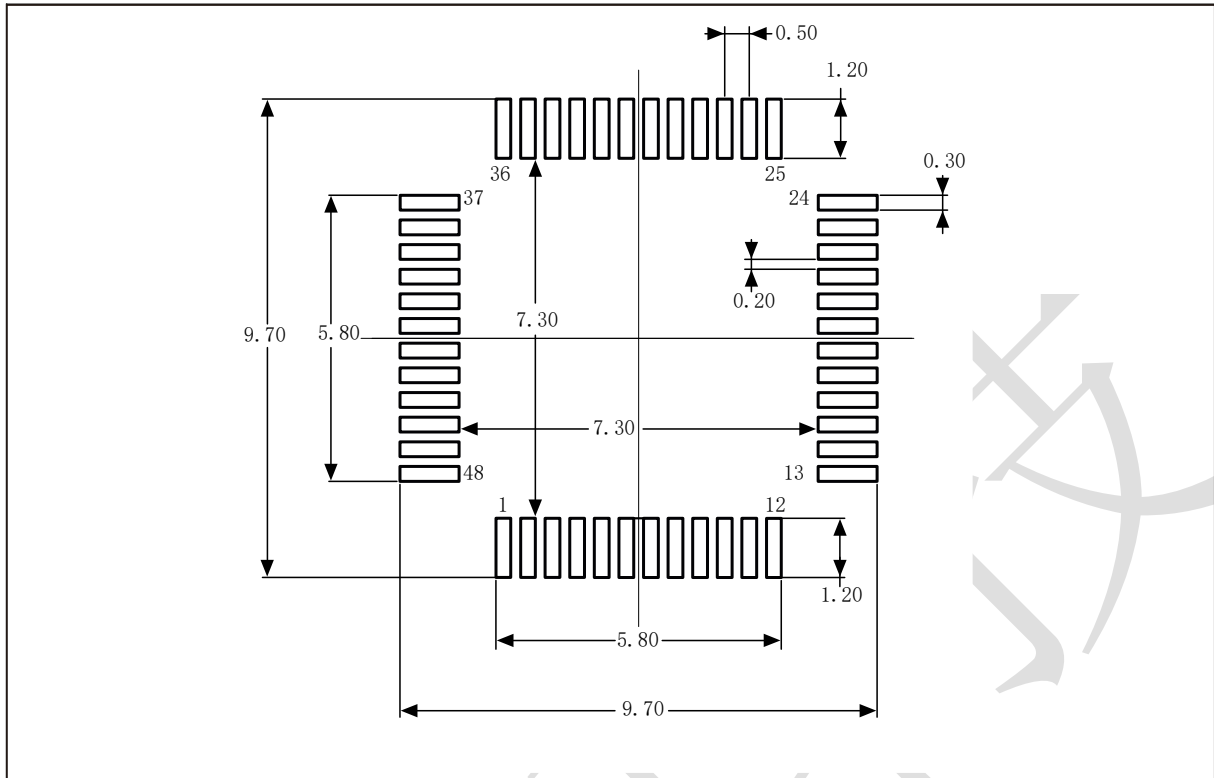


图 6-8 LQFP48 芯片的 PCB 安装尺寸图

5.5 QFN48 (7×7mm) 封装尺寸

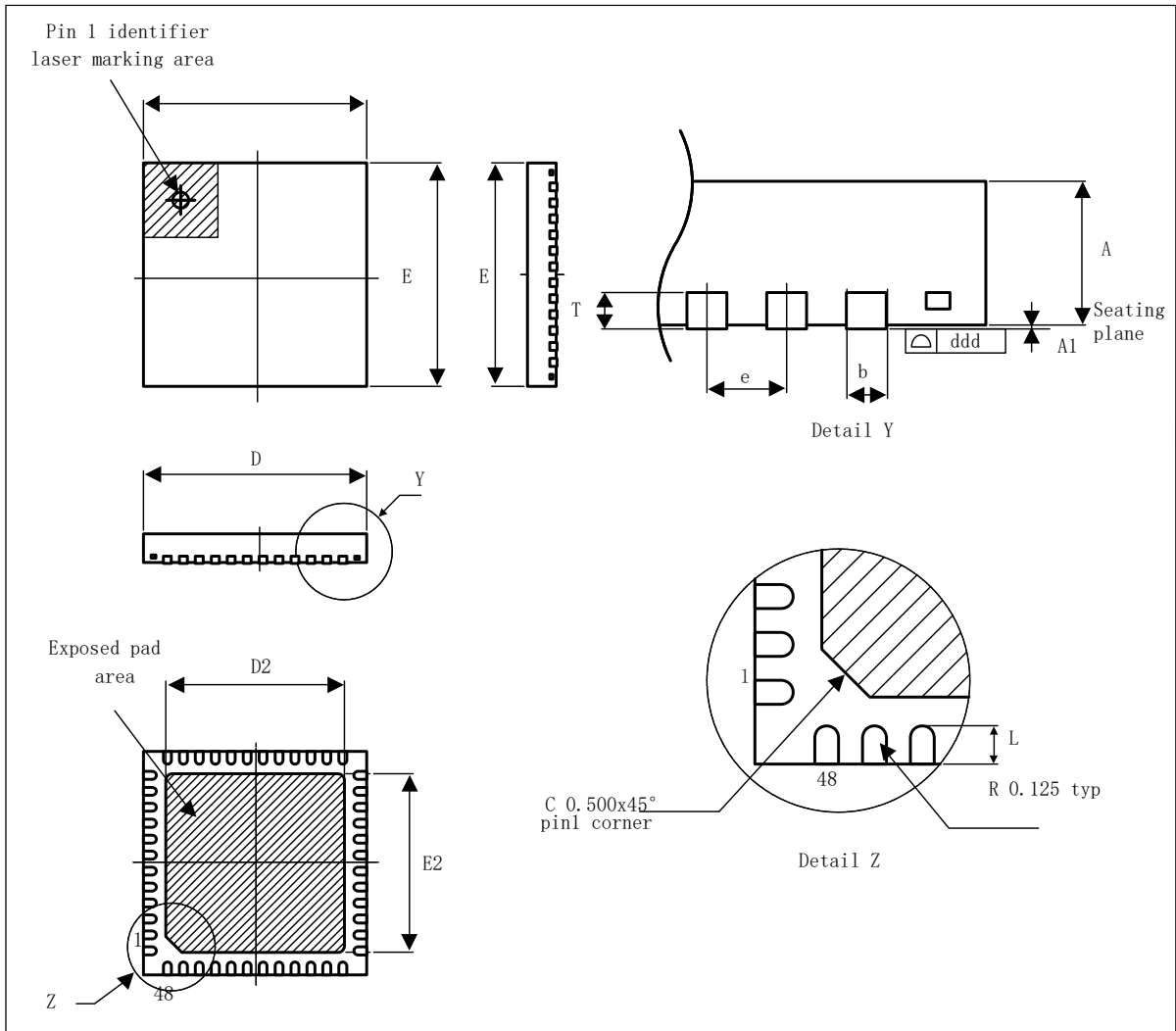


图 6-9 QFN48 封装图

表 6-5 QFN48 (7×7mm) 封装数据

标号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.500	0.550	0.600	0.0197	0.0217	0.0236
A1	0.000	0.020	0.050	0.0000	0.0008	0.0020
D	6.900	7.000	7.100	0.2717	0.2756	0.2795
E	6.900	7.000	7.100	0.2717	0.2756	0.2795
D2	5.500	5.600	5.700	0.2165	0.2205	0.2244
E2	5.500	5.600	5.700	0.2165	0.2205	0.2244
L	0.300	0.400	0.500	0.0118	0.0157	0.0197
T	-	0.152	-	-	0.0060	-
b	0.200	0.250	0.300	0.0079	0.0098	0.0118
e	-	0.500	-	-	0.0197	-
ddd	-	-	0.080	-	-	0.0031

QFN48 封装芯片的 PCB 推荐安装尺寸：

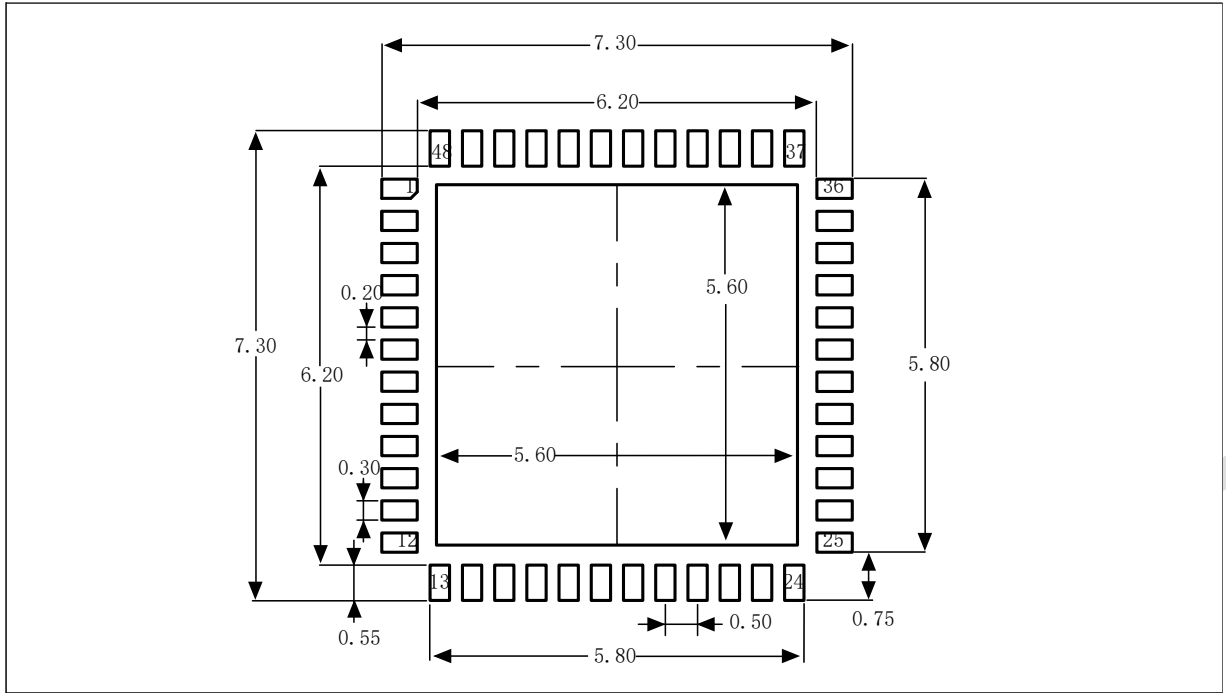


图 6-10 QFN48 芯片的 PCB 安装尺寸图

5.6 QFN36 (6×6mm) 封装尺寸

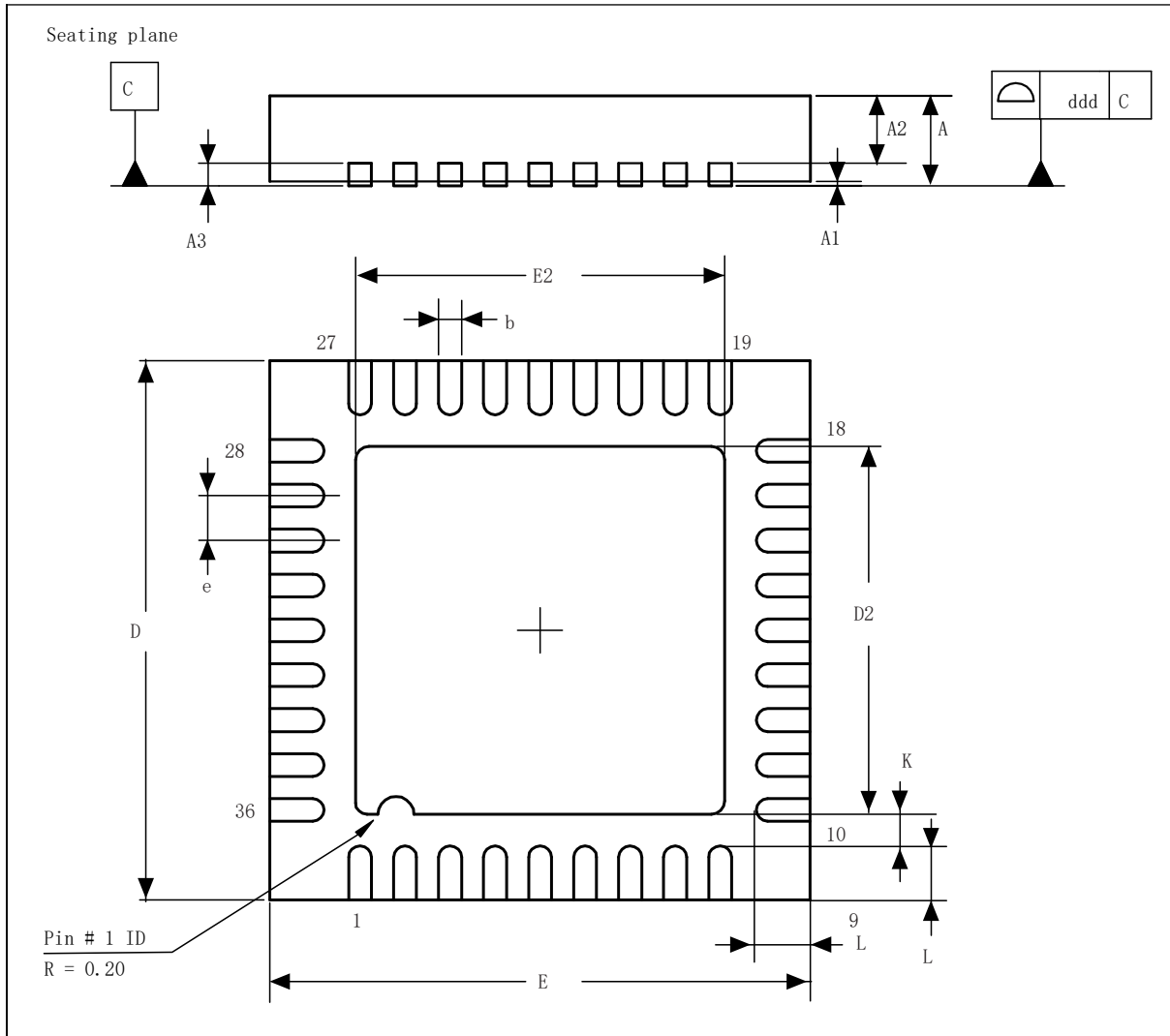


图 6-11 QFN36 封装图

表 6-6 QFN36 (6×6mm) 封装数据

标号	毫米			英寸		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.800	0.900	1.000	0.0315	0.0354	0.0394
A1	-	0.020	0.050	-	0.0008	0.0020
A2	-	0.0650	1.000	-	0.0256	0.0394
A3	-	0.250	-	-	0.0098	-
b	0.180	0.230	0.300	0.0071	0.0091	0.0118
D	5.875	6.000	6.250	0.0689	0.1457	0.1673
D2	1.750	3.700	-	-	0.2165	-
E	5.875	6.000	6.125	0.2313	0.2362	0.2411
E2	1.750	3.700	4.250	0.0689	0.1457	0.1673
e	0.450	0.500	0.550	0.0177	0.0197	0.0217
L	0.350	0.550	0.750	0.0138	0.0236	0.0295
L1	-	1.000	-	-	0.0217	0.0295
k	0.250	-	-	0.0098	-	-
ddd	-	-	0.080	-	-	0.0031

QFN36 封装芯片的 PCB 推荐安装尺寸：

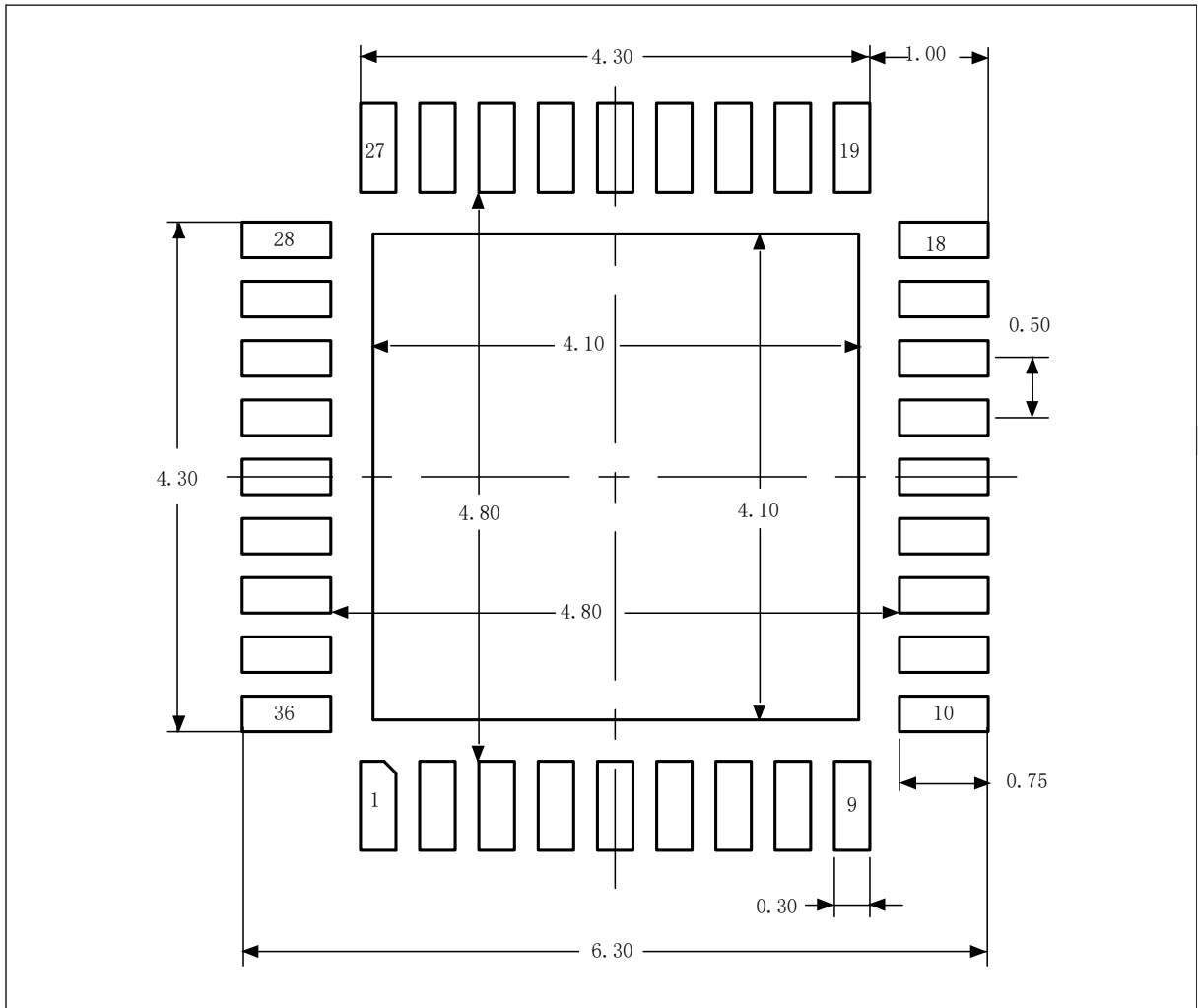
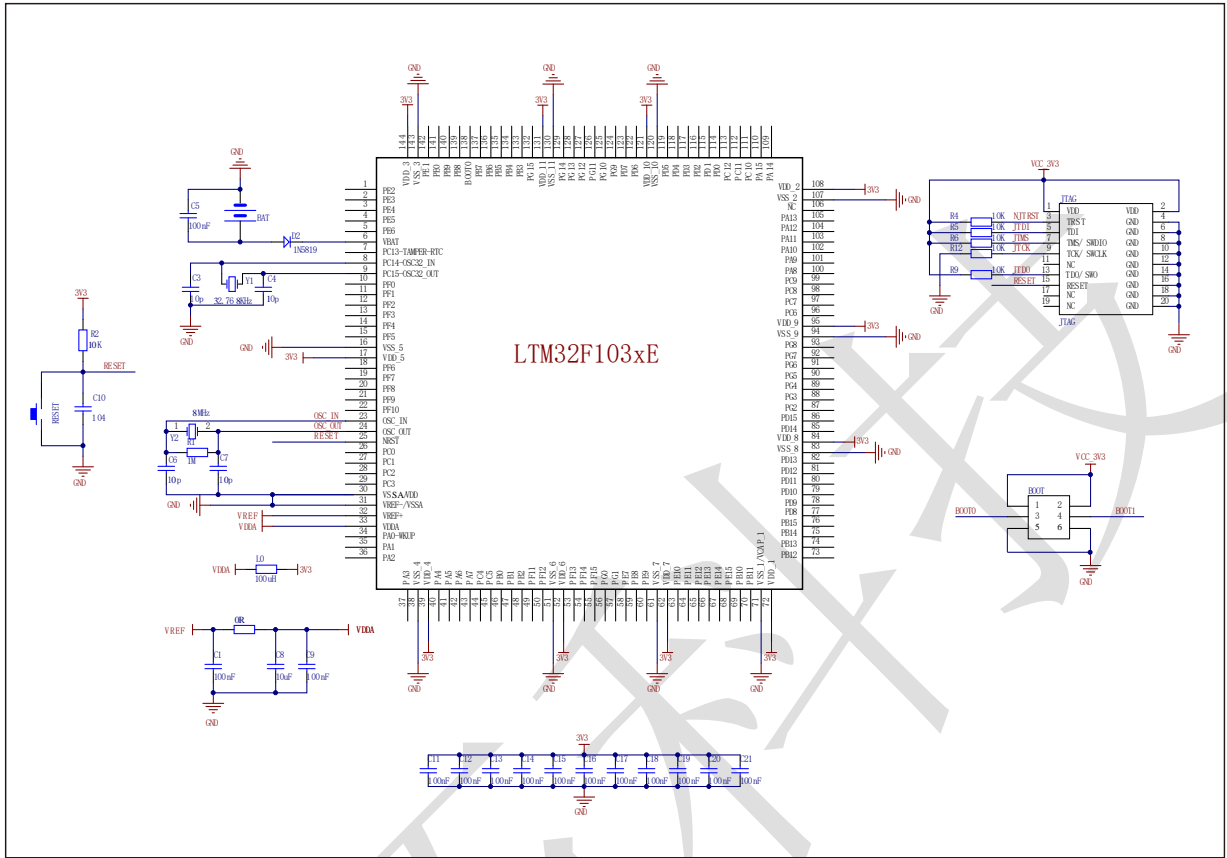


图 6-12 QFN36 芯片的 PCB 安装尺寸图

6 参考电路图



7 产品型号描述

LTM32 F 103 Z E T 6 XXX

产品系列

LTM32 = 32位微控制器

产品类型

F = 基础型

产品子序列

103 = ARM Cortex-M3内核

引脚数

D = 14脚 F = 20脚
 K = 32脚 T = 36脚
 C = 48脚 R = 64脚
 V = 100脚 Z = 144脚

内存大小

4 = 16KB 6 = 32KB 8 = 64KB
 B = 128KB Z = 192KB C = 256KB
 D = 384KB E = 512KB

封装

P = TSSOP T = LQFP
 U = UFQFPN V = VFQFPN
 Y = WLCSP

温度范围

6 = - 40° C ~ 85° C
 7 = - 40° C ~ 105° C
 3 = - 40° C ~ 125° C
 D = - 40° C ~ 150° C

可选项

XXX = 自定义编程选项

8 修订历史

日期	修订版本	修订说明
2022-04-29	V1.0	初始版本
2022-05-16	V1.1	ADC 电气特性参数条件限定
2022-06-13	V1.2	电流特性更正
2022-06-18	V1.3	增加中密度低密度管脚和封装信息
2023-09-21	V1.4	供电范围修正为 2.0 - 5.5V
2023-12-18	V1.5	管脚定义说明错误修正

9 声明

在未经列拓科技同意下不得以任何形式或途径修改本公司产品规格和数据表中的任何部分以及子部份。列拓科技在以下方面保留权利：

修改数据单和/或产品、停产任一产品或者终止服务不做通知；建议顾客获取最新版本的相关信息，在下定订单前进行核实以确保信息的及时性和完整性。所有的产品都依据订单确认时所提供的销售合同条款出售，条款内容包括保修范围、知识产权和责任范围。

列拓科技保证在销售期间，产品的性能按照本公司的标准保修。公司认为有必要维持此项保修，会使用测试和其他质量控制技术。除了政府强制规定外，其他仪器的测量表没有必要进行特殊测试。

顾客认可本公司的产品的设计、生产的目的是不涉及与生命保障相关或者用于其他危险的活动或者环境的其他系统或产品中。出现故障的产品会导致人身伤亡、财产或环境的损伤（统称高危活动）。人为在高危活动中使用本公司产品，本公司据此不作保修，并且不对顾客或者第三方负有责任。

列拓科技将会提供与现在一样的技术支持、帮助、建议和信
息，（全部包括关于购买的电路板或其他应用程序的设计，开发或调试）。特此声明，对于所有的技术支持、可销性或针对特定用途，及在支持技术无误下，电路板和其
他应用程序可以操作或运行的，本公司将不作任何有关此类支持技术的担保，并对您在使用这项支持服务不负任何法律责任。